

Docket No.: 8733.943.00-US
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Soon-Sung Yoo, et al.

Application No.: Not Yet Assigned

Confirmation No.: Not Yet Assigned

Filed: Concurrently Herewith

Art Unit: N/A

For: METHOD OF MANUFACTURING LIQUID
CRYSTAL DISPLAY DEVICE

Examiner: Not Yet Assigned

Customer No.: 30827

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Korea, Republic of	2002-87251	December 30, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: December 12, 2003

Respectfully submitted,


Rebecca Goldman Rudich

Registration No.: 41,786
MCKENNA LONG & ALDRIDGE LLP
1900 K Street, N.W.
Washington, DC 20006
(202) 496-7500
Attorney for Applicant



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0087251
Application Number

출원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

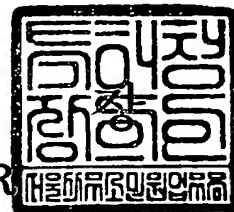
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 10 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.09.24
【제출인】	
【명칭】	엘지 . 필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【사건과의 관계】	출원인
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【사건의 표시】	
【출원번호】	10-2002-0087251
【출원일자】	2002.12.30
【발명의 명칭】	액정표시장치 및 그의 제조방법
【제출원인】	
【접수번호】	1-1-2002-0438725-49
【접수일자】	2002.12.30
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	류순성
【성명의 영문표기】	YOO,S00N SUNG
【주민등록번호】	661229-1228318
【우편번호】	435-040
【주소】	경기도 군포시 산본동 금강APT 915동 1402호
【국적】	KR

【발명자】

【성명의 국문표기】	장윤경
【성명의 영문표기】	CHANG, YOUN GYOUNG
【주민등록번호】	720809-2042017
【우편번호】	435-040
【주소】	경기도 의왕시 오전동 LG 진달래 아파트 103동 807호
【국적】	KR

【발명자】

【성명의 국문표기】	조흥렬
【성명의 영문표기】	CHO, HEUNG LYUL
【주민등록번호】	730116-1018042
【우편번호】	440-320
【주소】	경기도 수원시 장안구 율전동 408-9 청도아파트 1동 101호
【국적】	KR

【발명자】

【성명의 국문표기】	남승희
【성명의 영문표기】	NAM, SEUNG HEE
【주민등록번호】	730915-1690911
【우편번호】	704-200
【주소】	대구광역시 달서구 신당동 1736-2
【국적】	KR

【취지】 특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 정원기 (인)

【수수료】

【보정료】	0	원
【기타 수수료】	원	
【합계】	0	원

	【서지사항】
【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.01.06
【제출인】	
【명칭】	엘지 .필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【사건과의 관계】	출원인
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【사건의 표시】	
【출원번호】	10-2002-0087251
【출원일자】	2002.12.30
【발명의 명칭】	액정표시장치 및 그의 제조방법
【제출원인】	
【접수번호】	1-1-02-0438725-49
【접수일자】	2002.12.30
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 정원기 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

【보정대상항목】 식별번호 14

【보정방법】 정정

【보정내용】

도 32a 내지 32g, 도 33a 내지 33g, 도 34a 내지 34g는 본 발명의 제 8 실시예에 따른 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 단면도.

【보정대상항목】 식별번호 221

【보정방법】 정정

【보정내용】

도 32a 내지 32g, 도 33a 내지 33g, 도 34a 내지 34g는 본 발명의 제 8 실시예에 따른 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 단면도이다.

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0077
【제출일자】	2002.12.30
【발명의 명칭】	액정표시장치 및 그의 제조방법
【발명의 영문명칭】	Liquid Crystal Display Device and Method for Fabricating the same
【출원인】	
【명칭】	엘지 . 필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	최재권
【성명의 영문표기】	CHOI, JAE KWON
【주민등록번호】	720914-1896918
【우편번호】	718-833
【주소】	경상북도 칠곡군 석적면 중리 141번지 3공단 부영아파트 109동 1806 호
【국적】	KR
【발명자】	
【성명의 국문표기】	장윤경
【성명의 영문표기】	CHANG, YOUN GYOUNG
【주민등록번호】	720809-2042017
【우편번호】	435-040
【주소】	경기도 의왕시 오전동 LG 진달래 아파트 103동 807호
【국적】	KR
【발명자】	
【성명의 국문표기】	조흥렬
【성명의 영문표기】	CHO, HEUNG LYUL

【주민등록번호】 730116-1018042
【우편번호】 440-320
【주소】 경기도 수원시 장안구 율전동 408-9 청도아파트 1동 101호
【국적】 KR
【발명자】
【성명의 국문표기】 남승희
【성명의 영문표기】 NAM, SEUNG HEE
【주민등록번호】 730915-1690911
【우편번호】 704-921
【주소】 대구광역시 달서구 신당동 1736-2
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
정원기 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 99 면 99,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 128,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명에 따른 3 마스크 공정을 이용한 액정표시장치 및 그 제조방법에 의하면, 별도의 마스크 공정 추가없이 합착 후 식각 공정을 통해 패드부를 오픈시킬 수 있어, 마스크 공정의 최소화로 제조 비용 및 공정 시간을 줄일 수 있어 생산 수율을 높일 수 있다.

【대표도】

도 6c

【명세서】**【발명의 명칭】**

액정표시장치 및 그의 제조방법{Liquid Crystal Display Device and Method for Fabricating the same}

【도면의 간단한 설명】

도 1은 일반적인 액정표시장치의 일부영역에 대한 입체도.

도 2는 종래의 액정표시장치용 어레이 기판에 대한 평면도.

도 3a 내지 3e, 도 4a 내지 4e, 도 5a 내지 5e는 상기 도 2의 절단선 Ia-Ia, Ib-Ib, Ic-Ic에 따라 절단된 단면을 단계별로 나타낸 단면도.

도 6a 내지 6c, 도 7a 내지 7h, 도 8a 내지 8h, 도 9a 내지 9h는 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판의 단면도.

도 10은 상기 실시예 1에 따라 제작된 액정표시장치용 어레이 기판을 포함하는 액정패널에 대한 게이트 패드 및 데이터 패드 노출 공정을 개략적으로 나타낸 도면.

도 11a, 11b는 상기 도 10의 패드부 오픈 공정을 거친 패드부의 단면 구조를 나타낸 단면도.

도 12a 내지 12d, 도 13a 내지 13d, 도 14a 내지 14d는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 단면도.

도 15는 본 발명의 제 3 실시예에 따른 액정표시장치용 어레이 기판에 대한 평면도.

도 16 내지 18은 상기 도 15의 절단선 VIa-VIa, VIb-VIb, VIc-VIc에 따라 각각 절단된 단면구조를 나타낸 단면도.

도 19, 도 20a 내지 20c, 도 21a 내지 21c, 도 22a 내지 22c는 본 발명의 제 4 실시예에 따른 액정표시장치용 어레이 기판에 대한 단면도로서, 도 20a 내지 20c, 도 21a 내지 21c, 도 22a 내지 22c는 상기 도 19의 절단선 VIIa-VIIa, VIIb-VIIb, VIIc-VIIc에 따라 절단된 단면의 제조 공정을 단계별로 나타낸 단면도.

도 23a 내지 23f, 도 24a 내지 24f, 도 25a 내지 25f는 본 발명의 제 5 실시예에 따른 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 단면도.

도 26 내지 28은 본 발명의 제 6 실시예에 따른 액정표시장치용 어레이 기판에 대한 단면도.

도 29a 내지 29f, 도 30a 내지 30f, 도 31a 내지 31f는 본 발명의 제 7 실시예에 따른 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 단면도.

도 32a 내지 32g, 도 33a 내지 33g, 도 34a 내지 34g는 본 발명의 제 4 실시예에 따른 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

112 : 게이트 배선

114 : 게이트 전극

116 : 게이트 패드

118 : 제 1 캐패시터 전극

132 : 반도체층

134 : 소스 전극

136 : 드레인 전극

138 : 제 2 캐패시터 전극

140 : 데이터 패드

142 : 게이트패드 버퍼패턴

144 : 데이터 배선

145 : 데이터 버퍼패턴

146 : 화소 전극

T : 박막트랜지스터

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<23> 본 발명은 액정표시장치에 관한 것이며, 특히 3 마스크 공정에 의한 액정표시장치 및 그 제조방법에 관한 것이다.

<24> 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용하는 것이다. 이 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

<25> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 이 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

<26> 현재에는 박막트랜지스터(Thin Film Transistor ; TFT)와 박막트랜지스터에 연결된 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

<27> 도 1은 일반적인 액정표시장치의 일부영역에 대한 입체도이다.

- <28> 도시한 바와 같이, 서로 일정간격 이격되어 상부 및 하부 기판(10, 30)이 대향하고 있고, 이 상부 및 하부 기판(10, 30) 사이에는 액정층(50)이 개재되어 있다.
- <29> 상기 하부 기판(30) 상부에는 다수 개의 게이트 및 데이터 배선(32, 34)이 서로 교차되어 있고, 이 게이트 및 데이터 배선(32, 34)이 교차되는 지점에 박막트랜지스터(T)가 형성되어 있으며, 게이트 및 데이터 배선(32, 34)이 교차되는 영역으로 정의되는 화소 영역(P)에는 박막트랜지스터(T)와 연결된 화소 전극(46)이 형성되어 있다.
- <30> 도면으로 상세히 도시하지는 않았지만, 박막트랜지스터(T)는 게이트 전압을 인가받는 게이트 전극과, 데이터 전압을 인가받는 소스 전극 및 드레인 전극과, 게이트 전압과 데이터 전압 차에 의해 전압의 온/오프를 조절하는 채널(ch ; channel)로 구성된다.
- <31> 그리고, 상부 기판(10) 하부에는 컬러필터층(12), 공통 전극(16)이 차례대로 형성되어 있다.
- <32> 도면으로 상세히 도시하지 않았지만, 컬러필터층(12)은 특정한 파장대의 빛만을 투과시키는 컬러필터와, 컬러필터의 경계부에 위치하여 액정의 배열이 제어되지 않는 영역상의 빛을 차단하는 블랙매트릭스로 구성된다.
- <33> 그리고, 상부 및 하부 기판(10, 30)의 각 외부면에는 편광축과 평행한 빛만을 투과시키는 상부 및 하부 편광판(52, 54)이 위치하고, 하부 편광판(54) 하부에는 별도의 광원인 백라이트(back light)가 배치되어 있다.
- <34> 이하, 전술한 액정표시장치용 어레이 기판 구조 및 제조 공정에 대해서 도면을 참조하여 상세히 설명한다.

- <35> 도 2는 종래의 액정표시장치용 어레이 기판에 대한 평면도로서, 한 화소 영역을 기준으로 비표시 영역에 위치하는 게이트 패드부 및 데이터 패드부를 포함하여 설명하고, 상기 도 1의 설명과 중복되는 부분에 대한 설명은 간략히 한다.
- <36> 도시한 바와 같이, 제 1 방향으로 게이트 배선(64)이 형성되어 있고, 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(78)이 형성되어 있으며, 게이트 배선(64) 및 데이터 배선(78)이 교차되는 영역은 화소 영역(P)으로 정의되고, 상기 게이트 배선(64) 및 데이터 배선(78)의 교차지점에는 박막트랜지스터(T)가 위치하며, 박막트랜지스터(T)와 연결되어 화소 전극(94)이 형성되어 있는 구조에서, 상기 박막트랜지스터(T)에는 게이트 배선(64)에서 분기된 게이트 전극(62)과, 데이터 배선(78)에서 분기된 소스 전극(74)과, 소스 전극(74)과 이격되게 위치하는 드레인 전극(76)과, 상기 게이트 전극(62), 소스 전극(74) 및 드레인 전극(76)을 덮는 영역에 아일랜드 패턴(island)으로 이루어진 반도체층(72)으로 이루어진다.
- <37> 상기 화소 전극(94)은 드레인 전극(76)과의 접촉을 통해 박막트랜지스터(T)와 전기적으로 연결된다.
- <38> 그리고, 상기 화소 전극(94)은 전단 게이트 배선(64)과 일정간격 중첩되게 위치하는데, 상기 화소 전극(94)과 중첩되는 게이트 배선 영역은 제 1 캐패시터 전극(66)에 해당된다.
- <39> 한편, 상기 데이터 배선(78)과 동일 물질로 아일랜드 패턴을 이루며, 상기 제 1 캐패시터 전극(66)과 중첩되게 위치하여, 상기 화소 전극(94)과 연결되어 제 2 캐패시터 전극(88)이 형성되어 있고, 상기 제 1, 2 캐패시터 전극(66, 88)이 중첩된 영역은 절연체가 개재된 상태에서 스토리지 캐패시턴스(C_{ST})를 이룬다.

- <40> 또한, 상기 게이트 배선(64) 및 데이터 배선(78)의 일끝단에는 각각 게이트 패드(68) 및 데이터 패드(82)가 위치하고, 상기 게이트 패드(68) 및 데이터 패드(82)를 덮는 영역에는 아일랜드 패턴을 이루며, 상기 화소 전극(94)과 동일 물질로 이루어진 게이트패드 전극(96) 및 데이터패드 전극(98)이 각각 형성되어 있다.
- <41> 도 3a 내지 3e, 도 4a 내지 4e, 도 5a 내지 5e는 상기 도 2의 절단선 Ia-Ia, Ib-Ib, Ic-Ic에 따라 절단된 단면을 단계별로 나타낸 단면도로서, 도 3a 내지 3e는 상기 도 2의 절단선 Ia-Ia에 따른 박막트랜지스터부, 화소부, 스토리지 캐패시터스부에 대한 단면도이고, 도 4a 내지 4e는 상기 도 2의 절단선 Ib-Ib에 따른 데이터 패드부에 대한 단면도이며, 도 5a 내지 5e는 상기 도 2의 절단선 Ic-Ic에 따른 게이트 패드부에 대한 단면도이다.
- <42> 도 3a, 4a, 5a는, 기판(60) 상에 제 1 금속물질을 이용하여 감광성 물질인 PR(photo-resist)을 이용한 사진식각 공정(photolithography)으로 정의되는 마스크 공정인 제 1 마스크 공정에 의해 게이트 전극(62), 제 1 캐패시터 전극(66), 게이트 배선(64), 게이트 패드(68)를 형성하는 단계이다.
- <43> 도면으로 제시하지는 않지만, 상기 게이트 배선(64)에서 게이트 전극(62) 및 제 1 캐패시터 전극(66)이 서로 다른 방향으로 분기되어 있고, 게이트 패드(68)는 게이트 배선(64)의 일끝단에 위치하는 패턴에 해당된다.
- <44> 도 3b, 4b, 5b는, 상기 게이트 전극(62), 제 1 캐패시터 전극(66), 게이트 배선(64), 게이트 패드(68)를 덮는 영역에 제 1 절연물질, 제 1, 2 반도체 물질을 차례대로 형성한 다음, 제 1 절연물질을 게이트 절연막(70)으로 삼고, 상기 제 1, 2 반도체 물질을 제 2 마스크 공정에 의해, 상기 게이트 전극(62)을 덮는 위치의 반도체층(72)으로 패터닝하는 단계이다.

- <45> 상기 제 1, 2 반도체 물질은 차례대로 비정질 실리콘 물질, 불순물 비정질 실리콘 물질로 이루어진다.
- <46> 상기 반도체층(72)은 액티브층(72a) 및 오믹콘택층(72b)이 차례대로 적층된 구조로 이루어진다.
- <47> 도 3c, 4c, 5c는, 상기 반도체층(72)을 덮는 영역에 제 2 금속물질을 형성한 다음, 제 3 마스크 공정에 의해, 상기 반도체층(72) 상부에서 서로 일정간격 이격되는 소스 전극(74) 및 드레인 전극(76)과, 상기 소스 전극(74)과 일체형 패턴을 이루는 데이터 배선(78)과, 상기 제 1 캐패시터 전극(66)을 덮는 영역의 제 2 캐패시터 전극(80)과, 도면으로 나타나지는 않지만, 상기 데이터 배선(78)의 일끝단에 위치하는 데이터 패드(82)를 형성하는 단계이다.
- <48> 이 단계에서는, 상기 소스 전극(74) 및 드레인 전극(76)을 마스크로 이용하여, 노출된 오믹콘택층(72b)을 제거하고, 그 하부층을 이루는 액티브층(72a) 영역을 채널(ch)로 구성하는 단계를 포함한다.
- <49> 상기 게이트 전극(62), 반도체층(72), 소스 전극(74) 및 드레인 전극(76)은 박막트랜지스터(T)를 이룬다.
- <50> 도 3d, 4d, 5d는, 상기 박막트랜지스터(T)를 덮는 영역에 제 2 절연물질을 형성한 다음, 제 4 마스크 공정에 의해 상기 드레인 전극(76), 제 2 캐패시터 전극(80), 게이트 패드(68), 데이터 패드(82)를 각각 일부 노출시키는 드레인 콘택홀(86), 캐패시터 콘택홀(88), 게이트패드 콘택홀(90), 데이터패드 콘택홀(92)을 가지는 보호층(84)을 형성하는 단계이다.

- <51> 이때, 상기 게이트 패드(68)를 덮는 영역에는 게이트 절연막(70) 및 보호층(84)이 차례대로 적층된 구조이기 때문에, 상기 게이트패드 콘택홀(90)은 게이트 절연막(70) 및 보호층(84)이 공통으로 가지는 콘택홀에 해당된다.
- <52> 도 3e, 4e, 5e는, 상기 보호층(84) 상부에 투명 도전성 물질을 형성한 다음, 제 5 마스크 공정에 의해, 상기 드레인 콘택홀(86), 캐패시터 콘택홀(88), 게이트패드 콘택홀(90), 데이터패드 콘택홀(92)을 통해 드레인 전극(76) 및 제 2 캐패시터 전극(80)과 연결되는 화소 전극(94) 및 게이트패드 콘택홀(90)을 통해 게이트 패드(68)와 연결되는 게이트패드 전극(96) 및 데이터패드 콘택홀(92)을 통해 데이터 패드(82)와 연결되는 데이터패드 전극(98)을 형성하는 단계이다.
- <53> 상기 화소 전극(94)은 화소 영역(P)을 주 영역으로 하여 형성된다.
- <54> 상기 제 1, 2 캐패시터 전극(66, 80)이 중첩된 영역은 스토리지 캐패시턴스(C_{ST})를 이룬다.
- <55> 이와 같이, 종래의 액정표시장치용 어레이 기판의 제조 공정은 5 마스크 공정에 의해 형성되었는데, 각 마스크 공정별로 물리적/화학적 공정이 포함되기 때문에, 마스크 공정수가 많을수록 제품에 손상이 가해질 확률이 높아지고, 제조 비용이 높아지는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <56> 상기 문제점을 해결하기 위해서, 본 발명에서는 공정이 단순화된 액정표시장치 및 그 제조방법을 제공하는 것을 특징으로 한다.

<57> 이를 위하여, 본 발명에서는 게이트 패드부 및 데이터 패드부의 절연층을 식각하지 않은 상태에서 마스크 공정을 완료하고, 상부 및 하부 기판 합착 후 게이트 패드부 및 데이터 패드부의 절연층을 식각하는 방법을 이용하여 3 마스크 공정에 의해 액정표시장치의 제조방법을 제 공하고자 한다.

【발명의 구성 및 작용】

<58> 상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 제 1 기판 상에 제 1 금속물질을 형성한 다음, 감광성 물질인 PR(photo-resist)을 이용한 노광, 현상 공정을 포함하는 사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로 게이트 배선과, 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와; 상기 게이트 배선, 게이트 전극, 게이트 패드를 덮는 영역에, 제 1 절연물질, 제 1 반도체 물질, 제 2 반도체 물질, 제 2 금속물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역을 포함하여, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하며, 상기 게이트 전극의 중앙부와 대응된 영역에서 오목부를 가지는 제 1 PR패턴을 형성하는 단계와; 상기 제 1 PR패턴을 마스크로 이용하여, 노출된 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질을 연속적으로 식각하는 단계와; 상기 제 1 PR패턴을 일정 두께 에칭(ashing)처리하여, 상기 제 1 PR패턴의 오목부와 대응된 위치의 제 2 금속물질 영역을 제거하는 단계와; 상기 에칭처리된 제 1 PR패턴을 제거하고, 상기 제 1 PR패턴과 대응된 위치에서 패터닝되고, 서로 이격되게 위치하는 소스 전극 및 드레인 전극 그리고, 상기 소스 전극과 연결되며, 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드를 형성하는 단계와

; 상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역으로 정의되고, 상기 소스 전극 및 드레인 전극 그리고, 데이터 배선, 데이터 패드를 덮는 영역에, 투명 도전성 물질을 형성한 다음, 제 3 마스크 공정에 의해, 상기 드레인 전극과 대응된 패턴으로, 상기 드레인 전극과 연결되어 화소 영역에 위치하는 화소 전극과, 상기 데이터 패드를 덮는 영역 상의 데이터패드 전극을 형성하는 단계와; 상기 소스 전극 및 화소 전극 사이 구간의 제 2 반도체 물질을 제거하여, 그 하부층을 이루는 제 1 반도체 물질 영역으로 이루어진 채널을 형성하고, 상기 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 영역 내 제 1, 2 반도체 물질은 액티브층 및 오믹콘택층을 차례대로 이루며, 상기 액티브층, 오믹콘택층은 반도체층을 구성하는 단계와; 상기 제 1 기판과 대향되게 배치되며, 상기 게이트 패드부 및 데이터 패드부를 외부로 노출시키는 면적을 가지는 제 2 기판을 구비하는 단계와; 상기 마스크 공정을 생략한 디핑(dipping) 방식에 의해, 상기 제 1 기판의 노출된 게이트 패드부 및 데이터 패드부의 절연층을 식각하는 단계를 포함하는 액정표시장치의 제조 방법을 제공한다.

<59> 본 발명의 제 2 특징에서는, 제 1 기판 상에 제 1 금속물질을 형성한 다음, 감광성 물질인 PR(photo-resist)을 이용한 노광, 현상 공정을 포함하는 사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로 게이트 배선과, 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와; 상기 게이트 배선, 게이트 전극, 게이트 패드를 덮는 영역에, 제 1 절연물질, 제 1 반도체 물질, 제 2 반도체 물질, 제 2 금속물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역을 포함하여, 상기 제 1 방향과 교차되는 제 2 방향으로 제 1 PR패턴을 형성하는 단계와; 상기 제 1 PR패턴을 마스크로 이용하여, 노출된 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질을 연속적으로 식각하는 단계와;

<60> 상기 제 1 PR패턴을 제거하고, 상기 제 1 PR패턴과 대응된 위치에서 패터닝된 스위칭 패턴 및 상기 게이트 배선과 교차되는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드를 형성하는 단계와; 상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역으로 정의되고, 상기 스위칭 패턴 및 데이터 배선, 데이터 패드를 덮는 영역에 투명 도전성 물질을 형성한 다음, 제 3 마스크 공정에 의해, 상기 스위칭 패턴을 일부 덮는 영역을 포함하여 화소 영역에 위치하는 화소 전극 및 상기 데이터 패드를 덮는 영역에 데이터패드 전극을 형성하는 단계와; 상기 스위칭 패턴과 화소 전극 사이 구간의 제 2 반도체 물질을 제거하여, 그 하부층을 이루는 제 1 반도체 물질 영역으로 이루어진 채널을 형성하고, 상기 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 영역 내 제 1, 2 반도체 물질은 액티브층 및 오믹콘택층을 차례대로 이루며, 상기 액티브층, 오믹콘택층은 반도체층을 구성하는 단계와; 상기 제 1 기판과 대향되게 배치되며, 상기 게이트 패드부 및 데이터 패드부를 외부로 노출시키는 면적을 가지는 제 2 기판을 구비하는 단계와; 상기 마스크 공정을 생략한 디핑(dipping) 방식에 의해, 상기 제 1 기판의 노출된 게이트 패드부 및 데이터 패드부의 절연층을 식각하는 단계를 포함하는 액정표시장치의 제조 방법을 제공한다.

<61> 본 발명의 제 3 특징에서는, 제 1 기판 상에 제 1 금속물질을 형성한 다음, 감광성 물질인 PR(photo-resist)을 이용한 노광, 현상 공정을 포함하는 사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로 게이트 배선과, 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와; 상기 게이트 배선, 게이트 전극, 게이트 패드를 덮는 영역에, 제 1 절연물질, 제 1 반도체 물질, 제 2 반도체 물질, 제 2 금속물질을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역을 포함하여, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하며, 상기 게이트 전극의 중앙부와

대응된 위치에서 오목부를 가지는 제 1 PR패턴을 형성하는 단계와; 상기 제 1 PR패턴을 마스크로 이용하여, 노출된 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질, 제 1 절연물질을 연속적으로 식각하는 단계와; 상기 제 1 PR패턴을 제거하고, 상기 제 1 PR패턴과 대응된 위치에서 패턴닝된 스위칭 패턴 및 상기 게이트 배선과 교차되는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드를 형성하는 단계와; 상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역으로 정의되고, 상기 스위칭 패턴 및 데이터 배선, 데이터 패드를 덮는 영역에 투명 도전성 물질을 형성한 다음, 제 3 마스크 공정에 의해, 상기 스위칭 패턴을 일부 덮는 영역을 포함하여 화소 영역에 위치하는 화소 전극 및 상기 데이터 패드를 덮는 영역에 데이터패드 전극을 형성하는 단계와; 상기 스위칭 패턴과 화소 전극 사이 구간의 제 2 반도체 물질을 제거하여, 그 하부층을 이루는 제 1 반도체 물질 영역으로 이루어진 채널을 형성하고, 상기 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 영역 내 제 1, 2 반도체 물질은 액티브층 및 오믹콘택층을 차례대로 이루며, 상기 액티브층, 오믹콘택층은 반도체층을 구성하는 단계와; 상기 제 1 기판과 대향되게 배치되며, 상기 게이트 패드부 및 데이터 패드부를 외부로 노출시키는 면적을 가지는 제 2 기판을 구비하는 단계와; 상기 마스크 공정을 생략한 디핑(dipping) 방식에 의해, 상기 제 1 기판의 노출된 게이트 패드부 및 데이터 패드부의 절연층을 식각하는 단계를 포함하는 액정표시장치의 제조 방법을 제공한다.

<62> 본 발명의 제 4 특징에서는, 제 1 기판 상에 제 1 금속물질을 형성한 다음,

감광성 물질인 PR(photo-resist)을 이용한 노광, 현상 공정을 포함하는 사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로 게이트 배선과, 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와; 상기 게이트 배선, 게이트 전극, 게이트 패드를 덮는 영역에, 제 1 절연물질, 제 1 반도체 물질, 제 2 반도체 물질, 제 2 금속물질을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역을 포함하여, 상기 제 1 방향과 교차되는 제 2 방향으로 제 1 PR패턴을 형성하는 단계와; 상기 제 1 PR패턴을 마스크로 이용하여, 노출된 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질, 제 1 절연물질을 연속적으로 식각하는 단계와; 상기 제 1 PR패턴을 일정 두께에 쉘(ashing)처리하여, 상기 제 1 PR패턴의 오목부와 대응된 영역 상의 제 2 금속물질을 제거하는 단계와; 상기 에칭처리된 제 1 PR패턴을 제거하고, 상기 제 1 PR패턴과 대응된 위치에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극과, 상기 소스 전극과 연결되며, 상기 게이트 배선과 교차되는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드를 형성하는 단계와; 상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역으로 정의되고, 상기 소스 전극 및 드레인 전극 그리고, 데이터 배선, 데이터 패드를 덮는 영역에 투명 도전성 물질을 형성한 다음, 제 3 마스크 공정에 의해, 상기 스위칭 패턴을 일부 덮는 영역을 포함하여 화소 영역에 위치하는 화소 전극 및 상기 데이터 패드를 덮는 영역에 데이터패드 전극을 형성하는 단계와; 상기 스위칭 패턴과 화소 전극 사이 구간의 제 2 반도체 물질을 제거하여, 그 하부층을 이루는 제 1 반도체 물질 영역으로 이루어진 채널을 형성하고, 상기 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 영역 내 제 1, 2 반도체 물질은 액티브층 및 오믹콘택층을 차례대로 이루며, 상기 액티브층, 오믹콘택층은 반도체 층을 구성하는 단계와; 상기 제 1 기판과 대향되게 배치되며, 상기 게이트 패드부 및 데이터

패드부를 외부로 노출시키는 면적을 가지는 제 2 기판을 구비하는 단계와; 상기 마스크 공정을 생략한 디핑(dipping) 방식에 의해, 상기 제 1 기판의 노출된 게이트 패드부 및 데이터 패드부의 절연층을 식각하는 단계를 포함하는 액정표시장치의 제조 방법을 제공한다.

<63> 본 발명의 제 1 내지 제 4 특징에 따른 상기 제 1 금속물질은, 비저항값이 낮은 금속물질을 하부층으로 하고, 투명 도전성 물질을 상부층으로 하고, 상기 제 1 금속물질은, 비저항값이 낮은 금속물질로 이루어진 단일층 금속물질이며, 상기 화소 전극은, 상기 게이트 배선과 일정간격 중첩되게 위치하며, 상기 게이트 배선 형성단계에서는, 상기 화소 전극과 게이트 배선이 중첩되는 영역의 제 1 캐패시터 전극을 형성하는 단계와, 상기 소스 전극 및 드레인 전극을 형성하는 단계에서는, 상기 제 1 캐패시터 전극을 덮는 영역에 제 2 PR패턴을 형성하여, 상기 제 2 PR패턴에 의해 패터닝된 제 2 캐패시터 전극을 형성하는 단계와, 상기 화소 전극을 형성하는 단계에서, 상기 화소 전극은 제 2 캐패시터 전극과 접촉시키는 단계를 포함하여, 상기 제 1, 2 캐패시터 전극이 중첩되는 영역은 스토리지 캐패시턴스를 이루는 것을 특징으로 한다.

<64> 본 발명의 제 1 내지 제 4 특징에 따른 상기 게이트 배선과 일부 중첩되게 화소 전극을 형성하여, 상기 화소 전극과 중첩되는 게이트 배선 영역을 캐패시터 전극으로 삼아, 상기 게이트 절연막이 개재된 상태에서, 상기 캐패시터 전극과 화소 전극이 중첩된 영역은 스토리지 캐패시턴스를 이루는 것을 특징으로 한다.

<65> 상기 제 2 마스크 공정에서는, 상기 게이트 패드를 덮는 영역에 위치하며, 상기 게이트 패드의 중앙부에서 오픈부를 가지는 또 다른 PR패턴을 형성하는 단계를 추가로 포함하며, 상기 또 다른 PR패턴에 의해 패터닝된 게이트패드 버퍼패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

- <66> 본 발명의 제 1, 2 특징에 따른 상기 게이트패드 버퍼패턴은 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질의 적층 구조로 이루어지고, 본 발명의 제 3, 4 특징에 따른 상기 게이트패드 버퍼패턴은 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질, 제 1 절연물질의 적층 구조로 이루어지는 것을 특징으로 한다.
- <67> 본 발명의 제 1 내지 제 4 특징에 따른 상기 절연층을 식각하는 단계에서는, 상기 게이트 버퍼패턴의 패드오픈부의 절연층을 식각하여, 상기 패드오픈부의 게이트 패드를 노출시키는 단계를 포함하고, 상기 제 3 마스크 공정에서는, 상기 화소 전극과 동일 물질을 이용하여, 상기 소스 전극 및 데이터 배선 그리고, 데이터 패드를 덮는 영역에 데이터 버퍼패턴을 형성하는 단계를 포함하고, 상기 데이터 패드부에 위치하는 데이터 버퍼패턴은 데이터패드 전극을 이루며, 상기 제 1 반도체 물질은 비정질 실리콘 물질이고, 상기 제 2 반도체 물질은 불순물 비정질 실리콘 물질로 이루어지는 것을 특징으로 한다.
- <68> 본 발명의 제 1 내지 제 3 특징에 따른 상기 제 1 PR패턴이 가지는 오목부는 회절노광법에 의해 형성하고, 상기 회절노광법은, 하프톤 마스크(half-tone mask) 마스크 또는 슬릿 마스크(slits mask) 패턴 중 어느 하나를 이용한 공정인 것을 특징으로 한다.
- <69> 본 발명의 제 3, 4 특징에 따른 상기 화소 전극은, 상기 화소 영역에서 제 1 기판 면과 접촉되게 위치하는 것을 특징으로 한다.
- <70> 본 발명의 제 1 내지 제 4 특징에 따른 상기 박막트랜지스터, 상기 게이트 패드부 및 데이터 패드부를 덮는 영역에 보호층을 형성하는 단계를 추가로 포함하고, 상기 제 1, 2 기판 사이 구간에 액정층이 개재되고, 상기 액정층과 접하는 제 1, 2 기판면에는 배향막을 형성하는 단계를 포함하며, 상기 제 1 기판면의 배향막은 상기 박막트랜지스터, 상기 게이트 패드부 및 데이터 패드부를 덮는 영역에 위치하여, 보호층 겸용으로 이용되고, 상기 게이트 패드부 및 데

이터 패드부의 디핑 방식을 이용한 식각 공정에서는, 불산(HF)계 에천트가 이용되는 것을 특징으로 한다.

<71> 본 발명의 제 5 특징에서는, 제 1 기판 상에, 제 1 방향으로 위치하는 게이트 배선 및 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 배선의 일 끝단에 위치하는 게이트 패드를 형성하는 단계와; 상기 게이트 배선을 덮는 영역에 게이트 절연막을 형성하는 단계와; 상기 게이트 전극을 덮는 영역에 반도체층을 형성하는 단계와; 상기 반도체층 상부에서 서로 이격되는 소스 전극 및 드레인 전극과, 상기 소스 전극과 연결되고, 상기 제 1 방향과 교차되는 제 2 방향으로 배치되는 데이터 배선과, 상기 데이터 배선의 일 끝단에 위치하는 데이터 패드를 형성하는 단계와; 상기 제 1 기판과 대향되게 배치되며, 상기 게이트 패드 및 데이터 패드를 노출시키는 면적을 가지는 제 2 기판을 구비하는 단계와; 상기 제 1 기판의 노출된 게이트 패드부 및 데이터 패드부의 게이트 절연막을 별도의 마스크 공정을 생략한 디핑 방식에 의해 식각하는 단계를 포함하는 액정표시장치의 제조 방법을 제공한다.

<72> 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

<73> -- 제 1 실시예 --

<74> 도 6a 내지 6c, 도 7a 내지 7h, 도 8a 내지 8h, 도 9a 내지 9h는 본 발명의 제 1 실시예에 따른 액정표시장치용 어레이 기판의 단면도이며, 상기 도 7a 내지 7h, 도 8a 내지 8h, 도 9a 내지 9h는 상기 도 6a 내지 6c의 절단선 IIIa-IIIa, IIIb-IIIb, IIIc-IIIc에 따라 절단된 단면의 제조 공정을 단계별로 나타낸 단면도이다.

- <75> 도 6a, 7a, 8a, 9a는, 기판(110) 상에 제 1 금속물질을 이용한 제 1 마스크 공정에 의해, 제 1 방향으로 게이트 배선(112)을 형성하는 단계이다.
- <76> 이 단계에서는, 상기 게이트 배선(112)에서 분기된 게이트 전극(114)과, 게이트 배선(112)의 일끝단에 위치하는 게이트 패드(116)를 형성하는 단계를 포함한다.
- <77> 또한, 상기 게이트 배선(112)의 일부는 제 1 캐패시터 전극(118)을 이룬다.
- <78> 본 실시예에 따른 제 1 금속물질은 이중층 구조로 이루어지는 것을 특징으로 하며, 하부층은 비저항값이 낮은 금속물질에서 선택되고, 상부층은 투명 도전성 물질에서 선택된 것을 특징으로 한다.
- <79> 한 예로, 상기 제 1 금속물질의 하부층은 알루미늄네오디뮴(AlNd)으로 하고, 상부층은 ITO(indium tin oxide)로 할 수 있다.
- <80> 좀 더 상세히 설명하면, 상기 게이트 배선(112)은 제 1 게이트 배선물질층(112a), 제 2 게이트 배선물질층(112b)으로 이루어지고, 게이트 전극(114)은 제 1 게이트 전극물질층(114a), 제 2 게이트 전극물질층(114b), 제 1 캐패시터 전극(118)은 제 1 캐패시터 전극물질층(118a), 제 2 캐패시터 전극물질층(118b), 게이트 패드(116)는 제 1 게이트 패드물질층(116a), 제 2 게이트 패드물질층(116b)으로 이루어진 것을 특징으로 한다.
- <81> 이하, 상기 박막트랜지스터부, 화소부, 스토리지 캐패시터부, 데이터 패드부, 게이트 패드부에서의 회절 노광 공정을 공정 단면도를 통해 상세히 설명한다.
- <82> 도 7b, 8b, 9b, 상기 게이트 전극(114), 제 1 캐패시터 전극(118), 게이트 배선(112), 게이트 패드(116)를 덮는 기판 전면, 제 1 절연물질, 제 1, 2 반도체 물질, 제 2 금속물질을 차례대로 증착 또는 코팅하여, 절연층(120), 제 1, 2 반도체 물질층(122a, 122b), 금속층(124)

을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 상기 금속층(124)덮는 영역에 PR 물질을 도포하고, 노광, 현상 공정을 통해 패터닝하여, 상기 게이트 전극(114)을 덮는 위치의 제 1 PR 패턴(126a)과, 제 1 캐패시터 전극(118)을 덮는 위치의 제 2 PR 패턴(126b)과, 데이터 패드 형성부(II)와 대응된 위치의 제 3 PR 패턴(126c)과, 게이트 패드(116)를 덮는 위치의 제 4 PR 패턴(126d)을 형성하는 단계이다.

- <83> 도면으로 제시하지는 않았지만, 상기 제 1 PR 패턴(126a)과 제 3 PR 패턴(126c)은 일체형 패턴을 이룬다. 즉, 상기 제 3 PR 패턴(126c)은 상기 제 1 PR 패턴(126a)의 일끝단부에 위치하는 패턴에 해당된다.
- <84> 상기 절연층(120)은 게이트 절연막에 해당되고, 상기 제 1, 2 반도체 물질층(122a, 122b)은 반도체 물질층(122)을 이룬다.
- <85> 한 예로, 상기 반도체층(122)을 이루는 제 1 반도체 물질(122a)은 비정질 실리콘 물질(a-Si)로 이루어지고, 제 2 반도체 물질(122b)은 불순물 비정질 실리콘(n+ a-Si)으로 이루어진다.
- <86> 이때, 상기 제 1 PR 패턴(126a)은, 상기 게이트 전극(114)의 중앙부와 대응된 위치에서 회절노광에 의해 오목부(128)를 가지고, 제 4 PR 패턴(126d)은 게이트 패드(116)의 중앙부와 대응된 위치에서 금속층(124)을 노출시키는 오픈부(130)를 가지는 것을 특징으로 한다.
- <87> 상기 회절노광 공정은 빛의 투과량을 조절할 수 있는 하프톤 마스크(half-tone mask) 또는 슬릿 마스크 slit mask)를 이용하여, 별도의 마스크 공정 추가없이 원하는 영역의 PR층만을 선택적으로 얇게 패터닝하는 공정에 해당된다.

- <88> 도 6b에서와 같이, 전술한 제 1 방향과 교차되는 제 2 방향으로 데이터 배선(144)을 형성하고, 상기 데이터 배선(144)에서 분기된 패턴으로 소스 전극(134)을 형성하고, 소스 전극(134)과 일정간격 이격되게 드레인 전극(136)을 형성하며, 게이트 배선(112)과 중첩된 위치에 제 2 캐패시터 전극(138)을 형성한다.
- <89> 상기 게이트 배선(112) 및 데이터 배선(144)의 각각의 일끝단에는 게이트 패드(116) 및 데이터 패드(140)를 형성한다.
- <90> 그리고, 상기 데이터 배선(144)과 동일 물질을 이용하여 게이트 패드(116)를 덮는 영역에 게이트패드 버퍼패턴(142)을 형성한다. 이때, 데이터 배선(144), 소스 전극(134) 및 드레인 전극(136) 그리고, 데이터 패드(140)와 대응된 위치에는 일체형 패턴으로 반도체 물질층(122)이 위치하게 된다.
- <91> 도 7c, 8c, 9c는, 상기 제 1 내지 제 4 PR패턴(126a, 126b, 126c, 126d)을 이용하여, 노출된 금속층(124), 제 1, 2 반도체 물질층(122a, 122b)을 식각하는 단계이고, 도 7d, 8d, 9d는, 상기 제 1 내지 제 4 PR패턴(126a, 126b, 126c, 126d)을 상기 제 1 PR패턴(126a)이 오목부(128) 두께(d1)에 해당하는 두께만큼 에칭(ashing)처리한 다음, 에칭처리된 제 1 내지 제 4 PR패턴(126a, 126b, 126c, 126d)을 마스크로 이용하여 노출된 제 1 PR패턴(126a) 중앙부의 금속층(124)을 식각하는 단계이며, 도 7e, 8e, 9e는, 상기 제 1 내지 제 4 PR패턴(126a, 126b, 126c, 126d)을 스트립하여 제 1 PR패턴(126a)과 대응된 위치에서 서로 이격되게 위치하는 소스 전극(134) 및 드레인 전극(136)과, 상기 제 2 PR패턴(126b)과 대응된 위치의 제 2 캐패시터 전극(138)과, 제 3 PR패턴(126c)과 대응된 위치의 데이터 패드(140)와, 제 4 PR패턴(126d)과 대응된 위치의 게이트패드 버퍼패턴(142)을 형성하는 단계이다.

- <92> 본 실시예에서는, 동일 마스크 공정에서 금속층(124)과 제 1, 2 반도체 물질층(122a, 122b)을 연속식각함에 따라, 상기 데이터 배선(144), 제 2 캐패시터 전극(138), 데이터 패드(140) 하부에는 제 1, 2 반도체 물질층(122a, 122b) 패턴이 존재하게 된다.
- <93> 상기 게이트패드 버퍼패턴(142)은 상기 제 4 PR패턴(126d)의 오픈부(130)과 대응된 위치에서, 절연층(120)을 일부 노출시키는 패드오픈부(143)를 가진다.
- <94> 상기 게이트패드 버퍼패턴(142)은 게이트 패드(116) 오픈 공정 중 절연층(120) 에천트에 의해 기판에 대한 게이트 패드(116)의 접촉특성을 나빠지는 것을 방지하기 위해, 절연층(120)과 게이트 패드(116) 간 단차부를 덮는 위치에 형성되는 것이 바람직하다.
- <95> 그러나, 상기 게이트패드 버퍼패턴(142)은 공정 단순화를 위해 생략할 수도 있다.
- <96> 상기 소스 전극(134)과 연결되어 데이터 배선(144)이 형성되어 있다.
- <97> 도 6c에서는, 투명 도전성 물질을 이용한 제 3 마스크 공정에 의해 상기 데이터 배선(144) 및 소스 전극(134)을 덮는 데이터 버퍼패턴(145)과, 상기 데이터 버퍼패턴(145)과 이격되게 드레인 전극(136) 및 제 2 캐패시터 전극(138)과 연결되어 화소 영역(P)에 형성된 화소 전극(146) 그리고, 데이터 버퍼패턴(145)과 일체형 패턴으로 데이터 패드(140)를 덮는 영역에 데이터패드 전극(148)을 형성하는 단계이다.
- <98> 도 7f, 8f, 9f는 상기 도 6c의 절단선 IIIa-IIIa, IIIb-IIIb, IIIc-IIIc에 따라 각각 절단된 단면을 도시한 단면도이다.
- <99> 상기 데이터 배선(144), 소스 전극 및 드레인 전극(134, 136), 제 2 캐패시터 전극(138), 데이터 패드(140)를 덮는 영역에 투명 도전성 물질을 형성한 다음, 제 3 마스크 공정에 의해 데이터 배선(144) 및 소스 전극(134)을 덮는 영역의 데이터 버퍼패턴(145) 및 드레인 전

극(136) 및 제 2 캐패시터 전극(138)과 연결되어 화소 영역(P)을 덮는 영역에 화소 전극(146) 그리고, 데이터 패드(140)를 덮는 영역의 데이터패드 전극(148)을 형성하는 단계이다.

- <100> 상기 데이터 버퍼패턴(145)은, 소스 전극 및 드레인 전극(134, 136) 그리고, 데이터 배선(144)이 노출된 상태에서 투명 도전성 물질에 대한 마스크 공정을 진행함에 따라, 데이터 배선(144) 및 소스 전극(134)이 손상되는 것을 방지하기 위한 버퍼 패턴에 해당되는 것으로, 제 3 마스크 공정이 데이터 패턴(데이터 배선, 소스 전극 및 드레인 전극, 제 2 캐패시터 전극, 데이터 패드)에 손상을 가하지 않을 경우에는 별도의 데이터 버퍼패턴은 생략할 수도 있다.
- <101> 도 7g, 8g, 9g에서는, 상기 데이터 버퍼패턴(144) 및 화소 전극(146) 사이 구간에 위치하는 제 2 반도체 물질층(122b)을 제거하여, 그 하부층을 이루는 제 1 반도체 물질층(122a) 영역을 채널(ch)로 구성하는 단계로서, 채널(ch)부의 제 2 반도체 물질층(122b)을 완전히 제거하기 위해 제 1 반도체 물질층(122a) 일부가 식각될 수 있다.
- <102> 채널(ch)을 본 단계에서 구성하는 것은, 제 3 마스크 공정 전에 채널(ch)을 구성할 경우, 마스크 공정 중 채널(ch)부가 손상될 수 있기 때문이다.
- <103> 상기 소스 전극(134) 및 드레인 전극(136)과 대응된 위치의 제 1, 2 반도체 물질층(122a, 122b)은 액티브층(132a), 오믹콘택층(132b)으로 구성되는 반도체층(132)을 이룬다.
- <104> 상기 게이트 전극(114), 반도체층(132), 소스 전극(134) 및 드레인 전극(136)은 박막트랜지스터(T)를 이루고, 상기 제 1, 2 캐패시터 전극(118, 138)이 중첩된 영역은 스토리지 캐패시터스(C_{ST})를 이룬다.

- <105> 도 7h, 8h, 9h에서는, 상기 박막트랜지스터(T) 및 스토리지 캐패시턴스(C_{ST}) 그리고, 게이트 패드(116)부 및 데이터 패드(140)부를 덮는 영역에 제 3 절연물질을 이용하여 보호층(150)을 형성하는 단계이다.
- <106> 상기 제 3 절연물질은, 실리콘 절연물질에서 선택되는 것이 바람직하며, 더욱 바람직하게는 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_x) 중 어느 하나에서 선택될 수 있다.
- <107> 본 실시예에서는, 상기 보호층 형성 단계를 생략하고, 대신에 액정층의 초기 배열 방향을 유도하기 위한 목적으로 기판의 최상부층에 형성하는 배향막을 전술한 보호층 겸용으로 대체하는 경우도 포함한다.
- <108> 도 10은 상기 실시예 1에 따라 제작된 액정표시장치용 어레이 기판을 포함하는 액정패널에 대한 게이트 패드 및 데이터 패드 노출 공정을 개략적으로 나타낸 도면으로서, 습식 식각에 의해 패드부를 오픈하는 공정을 일 예로 하여 도시하였다.
- <109> 도시한 바와 같이, 표시 영역(IV)과, 표시 영역(IV)의 주변부에 위치하는 비표시 영역(V)으로 구성되는 액정패널(160)이 구비되어 있고, 상기 비표시 영역(V)의 서로 다른 일측에 게이트 패드부(Va) 및 데이터 패드부(Vb)가 형성되어 있다.
- <110> 상기 게이트 패드부(Va) 및 데이터 패드부(Vb)는 상기 실시예 1에 따른 액정표시장치용 어레이 기판의 3 마스크 공정에 의한 적층 구조를 가지는 것을 특징으로 한다.
- <111> 이러한 액정패널(160)을 절연물질만을 선택적으로 식각시키는 특성을 가지는 에천트(170)가 담긴 용기(172)에 디핑(dipping)시키는 것으로 식각 공정을 수행하게 되면, 게이트 패드부(Va) 및 데이터 패드부(Vb)를 덮는 절연층(미도시)만을 선택적으로 제거하여, 그 하부층의 투명 도전성 물질을 노출시킬 수 있게 된다.

- <112> 한 예로, 상기 절연층을 이루는 물질이 실리콘 절연물질에서 선택될 경우, 전술한 에천트는 불산(HF)계 에천트에서 선택된다.
- <113> 상기 습식 식각 방법외에도, 플라스마(plasma)를 이용한 건식식각법 또는 레이저(laser)를 이용한 방법에 의해 식각시킬 수도 있다.
- <114> 도면으로 상세히 제시하지는 않았지만, 상기 액정패널은 어레이 소자가 형성된 제 1 기판과, 제 1 기판의 게이트 패드부 및 데이터 패드부를 노출시키는 면적을 가지는 제 2 기판의 합착 구조로 이루어지고, 제 1, 2 기판의 내부에는 액정층이 개재되어 있다.
- <115> 도 11a, 11b는 상기 도 10의 패드부 오픈 공정을 거친 패드부의 단면 구조를 나타낸 단면도로서, 상기 도 8h, 9h의 다음 단계에 해당된다.
- <116> 도 11a는, 기판(110) 상에 절연층(120) 상부에 제 1, 2 반도체 물질층, 데이터 패드가 차례대로 일괄적으로 패터닝되어 있고, 상기 절연층(120)과 대응된 패턴 구조를 가지는 데이터 패드(140)가 형성되어 있으며, 데이터 패드(140)를 덮는 위치에 데이터패드 전극(148)이 형성되어 있다. 상기 도 8h 단계에서 데이터 패드(140)를 덮는 위치의 보호층(150)은 상기 도 10에 따른 패드 오픈 공정을 통해 제거되었다.
- <117> 그리고, 이 단계에서는 보호층(150) 및 상기 데이터패드 전극(148)이 일종의 마스크로 작용하여, 데이터패드 전극(148)의 양측에 노출된 절연층(120)은 식각된다.
- <118> 도 11b는, 기판(110) 상에 게이트 패드(116)가 형성되어 있고, 게이트 패드(116)를 덮는 위치에 절연층(120)이 형성되어 있으며, 절연층(120) 상부의 게이트 패드(116)를 덮는 위치에서, 게이트 패드(116)의 중앙부를 노출시키는 패드 오픈부(143)를 가지는 게이트패드 버퍼패턴(142)이 형성되어 있다.

<119> 상기 도 9h 단계에서, 게이트패드 버퍼패턴(142)을 덮는 보호층(150)은 상기 도 10의 패드 오픈 공정을 통해 제거되었고, 상기 게이트패드 버퍼패턴(142)을 일종의 마스크로 이용하여, 상기 게이트패드 버퍼패턴(142)의 패드오픈부(143)를 통해 노출된 절연층(120) 및 게이트패드 버퍼패턴(142)의 양측에 노출된 절연층(120)은 식각되어, 상기 게이트 패드(116)의 상부층을 이루는 제 2 게이트패드 금속층(상기 도 9a의 116b)은 게이트패드 전극(152)을 이루게 된다.

<120> -- 제 2 실시예 --

<121> 본 실시예는, 상기 실시예 1과 기본적인 공정 순서는 동일하나, 상기 실시예 1에서는 비저항값이 낮은 금속물질을 하부층으로 하고, 투명 도전성 물질을 상부층으로 하는 이중층 구조로 게이트 패턴(게이트 배선, 게이트 전극, 제 1 캐패시터 전극, 게이트 패드)을 형성하였으나, 본 실시예에서는 게이트 패턴을 이루는 물질을 단일층으로 구성하는 것을 특징으로 한다. 상기 단일층 금속물질은 비저항값이 낮은 금속물질에서 선택되는 것이 바람직하다.

<122> 도 12a 내지 12d, 도 13a 내지 13d, 도 14a 내지 14d는 본 발명의 제 2 실시예에 따른 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 단면도이다.

<123> 도 12a, 13a, 14a는, 기판(210) 상에 제 1 금속물질을 이용한 제 1 마스크 공정에 의해, 게이트 전극(214), 제 1 캐패시터 전극(218), 게이트 배선(212), 게이트 패드(216)을 형성하는 단계이다.

- <124> 도면으로 제시하지는 않았지만, 상기 게이트 배선(212)은 제 1 방향으로 형성되고, 게이트 전극(214)은 게이트 배선(212)에서 분기된 패턴에 해당되고, 제 1 캐패시터 전극(218)은 게이트 배선(212)의 스토리지 캐패시턴스부(미도시)에 위치하며, 게이트 패드(216)는 게이트 배선(212)의 일끝단에 위치한다.
- <125> 상기 제 1 금속물질층을 이루는 물질은 비저항값이 낮은 금속물질에서 선택되며, 별도의 투명 도전층은 포함하지 않는 것을 특징으로 한다.
- <126> 도 12b, 13b, 14b는, 상기 게이트 전극(214), 제 1 캐패시터 전극(218), 게이트 배선(212), 게이트 패드(216)를 덮는 기판 전면, 절연층(220), 제 1, 2 반도체 물질층(222a, 222b), 금속층(224)을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 게이트 전극(214)을 덮는 위치에서 서로 이격되게 위치하는 소스 전극(234) 및 드레인 전극(236) 그리고, 소스 전극(234)과 일체형 패턴인 데이터 배선(244)으로 형성하고, 상기 제 1 캐패시터 전극(218)을 덮는 위치의 제 2 캐패시터 전극(238), 데이터 패드부(II)의 데이터 패드(240), 게이트 패드(216)를 덮는 위치의 게이트패드 버퍼패턴(242)을 형성하는 단계이다.
- <127> 이 단계에서, 상기 소스 전극 및 드레인 전극(234, 236) 사이 구간에는 제 2 반도체 물질층(222b)이 노출된다.
- <128> 상기 제 2 마스크 공정에서는, 상기 실시예 1의 도 7b 내지 7e, 도 8b 내지 8e, 도 9b 내지 9e의 회절 노광 공정을 그대로 적용할 수 있다.
- <129> 도 12c, 13c, 14c는, 상기 데이터 배선(244), 소스 전극 및 드레인 전극(234, 236), 제 2 캐패시터 전극(238), 게이트패드 버퍼패턴(242)을 덮는 영역에 투명 도전성 물질을 형성한 다음, 제 3 마스크 공정에 의해 데이터 배선(244) 및 소스 전극(234)을 덮는 영역의 데이터 버

퍼패턴(245) 및 드레인 전극(236) 및 제 2 캐패시터 전극(238)과 연결되어, 화소 영역(P)에 위치하는 화소 전극(246) 그리고, 데이터 패드(240)를 덮는 영역의 데이터패드 전극(248)을 형성하는 단계이다.

<130> 이 단계에서는, 상기 데이터 버퍼패턴(244) 및 화소 전극(246) 사이 구간에 위치하는 제 2 반도체 물질층(222b)을 제거하여, 그 하부층을 이루는 제 1 반도체 물질층(222a) 영역을 채널(ch)로 구성하는 단계로서, 채널(ch)부의 제 2 반도체 물질층(222b)을 완전히 제거하기 위해, 제 1 반도체 물질층(222a) 일부가 식각될 수 있다.

<131> 채널(ch)을 본 단계에서 구성하는 것은, 제 3 마스크 공정 전에 채널(ch)을 구성할 경우, 마스크 공정 중 채널(ch)부가 손상될 수 있기 때문이다.

<132> 상기 소스 전극(234) 및 드레인 전극(236)과 대응된 위치의 제 1, 2 반도체 물질층(222a, 222b)은 액티브층(232a), 오믹콘택층(232b)으로 구성되는 반도체층(232)을 이룬다.

<133> 상기 게이트 전극(214), 반도체층(232), 소스 전극(234) 및 드레인 전극(236)은 박막트랜지스터(T)를 이루고, 상기 제 1, 2 캐패시터 전극(218, 238)이 중첩된 영역은 스토리지 캐패시턴스(C_{ST})를 이룬다.

<134> 도 12d, 13d, 14d는, 상기 박막트랜지스터(T) 및 스토리지 캐패시턴스(C_{ST}), 게이트 패드(216)부, 데이터 패드(240)부를 덮는 영역에 제 2 절연물질을 증착 또는 코팅하여 보호층(250)을 형성하는 단계이다.

<135> 이후, 상기 게이트 패드(216)부, 데이터 패드(240)부 오픈 공정은 상기 실시예 1에 따른 패드 오픈 공정을 적용할 수 있다.

- <136> 본 실시예는, 상기 실시예 1과 다르게 게이트 패드(216)를 이루는 물질이 별도의 투명 도전물질을 포함하지 않기 때문에, 게이트 패드 오픈 공정 후, 게이트 패드와 외부 회로를 연결시 중간에 별도의 투명 도전층을 포함하지 않는다.
- <137> 통상적으로 액정패널의 패드부와 외부 회로는 탭 본딩(tap bonding) 방식으로 연결되기 때문에, 리워크(rework) 공정 시 패드 금속이 공기 중에 노출된다든가, 접촉 특성을 고려하여 투명 도전층이 개재된 상태에서 연결시켰으나, 최근에는 별도의 투명도전층의 개재없이 외부 회로칩을 바로 패드부와 연결시키는 COG(chip on glass) 방식이 적용되기도 하므로, 게이트 패드의 노출된 금속층을 반드시 투명 도전층으로 하지 않아도 된다.
- <138> 즉, 본 실시예에 따르면, 게이트 패드(216)부에서는 별도의 투명 도전성 금속없이 불투명 금속층으로 이루어진 게이트 패드(216)와 외부회로와 연결되고, 데이터 패드(240)부에서는 투명 도전성 물질로 데이터패드 전극(248)을 통해 외부회로와 연결되는데, 이때 데이터패드 전극(248)은 제 3 마스크 공정 중 채널(ch) 공정에서 데이터패드 금속이 식각되는 것을 방지하는 일종의 마스크 역할을 겸하게 된다.
- <139> -- 제 3 실시예 --
- <140> 본 실시예는, 상기 실시예 1과 동일한 공정을 적용하되, 제 3 마스크 공정 중 데이터 배선 및 소스 전극을 덮는 영역 상의 투명 도전층 패턴을 생략하는 실시예로서, 예를 들어 투명 도전층 패터닝 공정을 습식 식각법에 의해 진행할 경우, 투명 도전층용 에천트가 데이터 패턴에 영향을 끼치지 않는 조건을 전제로 한다.

- <141> 도 15는 본 발명의 제 3 실시예에 따른 액정표시장치용 어레이 기판에 대한 평면도로서, 상기 실시예 1의 도 6c와 중복되는 부분에 대해서는 간략히 설명하고, 투명 도전층 패턴 구조를 중심으로 도시하였다.
- <142> 도시한 바와 같이, 게이트 배선(312) 및 데이터 배선(344)이 서로 교차되게 형성되어 있고, 게이트 배선(312) 및 데이터 배선(344)이 교차되는 지점에는 게이트 전극(314), 반도체층(332), 소스 전극(334) 및 드레인 전극(336)으로 이루어진 박막트랜지스터(T)가 형성되어 있으며, 드레인 전극(336)과 연결되어 화소 전극(346)이 형성되어 있는 구조에서, 상기 화소 전극(346)은 드레인 전극(336) 및 제 2 캐패시터 전극(338)과 대응된 위치를 포함한 화소 영역(P)에 형성되고, 상기 화소 전극(346)과 동일 물질로 이루어지며, 상기 데이터 패드(340)를 덮는 영역에 아일랜드 패턴을 이루는 데이터패드 전극(348)이 형성되어 있다.
- <143> 본 실시예에서는, 상기 실시예 1에서와 달리 데이터 배선(344) 및 소스 전극(334) 영역에는 별도의 화소 전극과 동일 물질로 이루어진 투명 도전층 패턴을 포함하지 않는 것을 특징으로 한다.
- <144> 본 실시예를 박막트랜지스터 스토리지 캐패시터스부, 데이터 패드부, 게이트 패드부의 단면 구조의 설명을 통해 좀 더 구체화하면 다음과 같다.
- <145> 도 16 내지 18은 상기 도 15의 절단선 VIa-VIa, VIb-VIb, VIc-VIc에 따라 각각 절단된 단면구조를 나타낸 단면도로서, 상기 도 10에 따른 패드 오픈 공정을 거친 어레이 기판 적층 구조에 대한 것이다.
- <146> 도시한 바와 같이, 투명 도전성 물질을 이루어지며, 드레인 전극(336) 및 제 2 캐패시터 전극(338)과 연결되어 화소 영역(P)에 형성된 화소 전극(346), 데이터 패드(340)를 덮는 영역

의 데이터패드 전극(348)이 형성된 구조에서, 본 실시예에서는 상기 실시예 1과 다르게 데이터 배선(344) 및 소스 전극(334)과 대응된 위치에는 별도의 투명 도전층 패턴을 포함하지 않는 것을 특징으로 한다.

<147> -- 제 4 실시예 --

<148> 본 실시예는, 상기 제 1 실시예에 따른 제조 공정을 적용하되, 제 2 마스크 공정에서 스토리지 캐패시턴스부에서는 별도의 PR패턴을 형성하지 않아, 별도의 제 2 캐패시터 전극없이 캐패시터 전극과 화소 전극이 중첩되는 영역이 스토리지 캐패시턴스를 이루는 것을 특징으로 하는 실시예이다.

<149> 도 19, 도 20a 내지 20c, 도 21a 내지 21c, 도 22a 내지 22c는 본 발명의 제 4 실시예에 따른 액정표시장치용 어레이 기판에 대한 단면도로서, 도 20a 내지 20c, 도 21a 내지 21c, 도 22a 내지 22c는 상기 도 19의 절단선 VIIa-VIIa, VIIb-VIIb, VIIc-VIIc에 따라 절단된 단면의 제조 공정을 단계별로 나타낸 단면도이다.

<150> 도 19는 본 발명의 제 4 실시예에 따른 액정표시장치용 어레이 기판의 평면도로서, 기본 구조는 상기 실시예 1과 동일하며, 본 실시예의 특징인 스토리지 캐패시턴스 영역을 중심으로 설명한다.

<151> 도시한 바와 같이, 서로 교차되게 게이트 배선(412) 및 데이터 배선(444)이 형성되어 있고, 게이트 배선(412) 및 데이터 배선(444)이 교차되는 지점에는 박막트랜지스터(T)가 형성되어 있다.

- <152> 상기 게이트 배선(412) 및 데이터 배선(444)이 교차되는 영역은 화소 영역(P)으로 정의된다.
- <153> 그리고, 상기 게이트 배선(412) 및 데이터 배선(444)의 일끝단에는 게이트 패드(416) 및 데이터 패드(440)가 형성되어 있다.
- <154> 상기 박막트랜지스터(T)에는, 상기 게이트 배선(412)에서 분기된 게이트 전극(414)과, 상기 데이터 배선(444)에서 분기된 소스 전극(434)과, 소스 전극(434)과 일정간격 이격되게 드레인 전극(436)이 형성되어 있고, 소스 전극(434) 및 드레인 전극(436)간 이격구간을 포함하여, 상기 소스 전극(434) 및 드레인 전극(436) 그리고, 데이터 배선(444) 및 데이터 패드(448)를 덮는 영역에는 반도체 물질층(422)이 대응되게 위치하고, 이중 소스 전극(434) 및 드레인 전극(436)을 덮는 반도체 물질층은 반도체층(432)을 이룬다.
- <155> 상기 게이트 패드(416)를 덮는 영역에는, 소스 전극(434) 및 드레인 전극(436)과 동일한 물질로 이루어진 금속층 및 반도체 물질층이 차례대로 적층된 구조를 이루며, 상기 게이트 패드(416)의 중앙부를 노출시키는 패드오픈부(443)를 가지는 게이트패드 버퍼패턴(442)이 형성되어 있다.
- <156> 그리고, 상기 드레인 전극(436)과 연결되어 화소 전극(446)이 형성되어 있는데, 상기 화소 전극(446)은 드레인 전극(436)을 대응되게 덮는 위치에서 드레인 전극(436)과 연결되고, 전단 게이트 배선을 일부 덮는 영역을 포함하여 형성되고, 상기 데이터 배선(444) 및 소스 전극(434) 그리고, 데이터 패드(440)를 덮는 영역에는 상기 화소 전극(446)과 동일 물질로 이루어진 데이터 버퍼패턴(445) 및 데이터패드 전극(448)이 형성되어 있다.

- <157> 상기 화소 전극(446)과 중첩되는 게이트 배선(412) 영역은 캐패시터 전극(418)을 이루고, 캐패시터 전극(418) 및 화소 전극(446) 중첩 영역은 스토리지 캐패시턴스(C_{ST})를 이루는 것을 특징으로 한다.
- <158> 도 20a, 21a, 22a는, 제 1 마스크 공정을 통해 게이트 전극(414), 캐패시터 전극(418), 게이트 배선(412), 게이트 패드(416)를 형성한 다음, 게이트 전극(414), 캐패시터 전극(418), 게이트 배선(412), 게이트 패드(416)를 덮는 영역에 절연층(420), 제 1, 2 반도체 물질층(422a, 422b), 금속층(424)을 차례대로 형성한 다음, 상기 게이트 전극(414)을 덮는 영역의 제 1 PR패턴(426a), 데이터 패드부(II)를 덮는 영역의 제 2 PR패턴(426b), 게이트 패드(416)부를 덮는 위치에 형성되며, 게이트 패드(416)부의 중앙부를 노출시키는 오픈부(430)를 가지는 제 3 PR패턴(426c)을 형성하는 단계이다.
- <159> 도면으로 제시하지는 않았지만, 상기 제 1 PR패턴(426a)과 제 2 PR패턴(426b)은 일체형 패턴을 이룬다. 즉, 상기 제 2 PR패턴(426b)은 상기 제 1 PR패턴(426a)의 일끝단부에 위치하는 패턴에 해당된다.
- <160> 상기 제 1 PR패턴(426a)은, 상기 게이트 전극(414)의 중앙부와 대응된 위치에서 회절노광법에 의해 오목부(428)를 가지며, 본 단계에서는 캐패시터 전극(418)과 대응된 위치에 별도의 PR패턴이 포함되지 않는 것을 특징으로 한다.
- <161> 도 20b, 21b, 22b는, 상기 제 1 내지 3 PR패턴(426a, 426b, 426c)을 마스크로 이용하여, 노출된 금속층(424) 및 제 1, 2 반도체 물질층(422a, 422b)을 식각하는 단계이다.
- <162> 본 실시예에서는, 이 단계에서 캐패시터 전극(418)을 덮는 영역 상의 금속층(424) 및 제 1, 2 반도체 물질층(422a, 422b)을 모두 제거하는 것을 특징으로 한다.

- <163> 또한, 상기 캐패시터 전극(418)과 일체형 패턴을 이루는 게이트 배선(412)을 덮는 영역에도 별도의 금속층(424) 및 제 1, 2 반도체 물질층(422a, 422b)이 제거된다.
- <164> 이 단계에서는, 상기 제 3 PR패턴(426c)의 오픈부(430)에 위치하는 금속층(424), 제 1, 2 반도체 물질층(422a, 422b)이 제거된다.
- <165> 도면으로 제시하지는 않았지만, 본 단계에서는, 상기 제 1 내지 3 PR패턴(426a, 426b, 426c)을 이용한 회절 노광 공정에 의해, 소스 전극 및 드레인 전극 패턴 및 게이트패드 버퍼패턴을 형성하는 공정을 포함한다.
- <166> 도 20c, 21c, 22c는, 투명 도전성 물질을 이용하여, 데이터 배선(444) 및 소스 전극(434)을 덮는 영역에 데이터 버퍼패턴(445)을 형성하고, 드레인 전극(436)과 연결되며, 캐패시터 전극(418)과 중첩되게 화소 영역(P)에 화소 전극(446)을 형성하며, 데이터 패드(440)를 덮는 영역의 데이터패드 전극(448)을 형성하는 단계이다.
- <167> 이 단계에서는, 상기 실시예 1에 따른 액정패널의 합착 공정 후, 게이트 패드부 및 데이터 패드부의 절연층을 식각하는 패드부 오픈 공정이 적용된 구조에 대한 것이다.
- <168> 따라서, 상기 게이트패드 버퍼패턴(442)의 오픈부(430)에는 게이트 패드(416)의 상부층을 이루는 투명 도전층이 게이트패드 전극(452)을 이루게 된다.
- <169> 상기 캐패시터 전극(418)과 화소 전극(446)이 중첩된 영역은 절연층(420)이 개재된 상태에서 스토리지 캐패시턴스(C_{ST})를 이룬다.

<170> -- 제 5 실시예 --

- <171> 본 실시예는 별도의 회절노광 공정이 포함되지 않는 3 마스크 액정표시장치용 어레이 기판의 제조 공정에 대한 것이다.
- <172> 도 23a 내지 23f, 도 24a 내지 24f, 도 25a 내지 25f는 본 발명의 제 5 실시예에 따른 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 단면도이다.
- <173> 도 23a, 24a, 25a는, 제 1 금속물질을 이용한 제 1 마스크 공정에 의해 기판(510) 상에 게이트 전극(514), 제 1 캐패시터 전극(518), 게이트 배선(512), 게이트 패드(516)를 형성하는 단계이다.
- <174> 상기 제 1 금속물질은, 비저항값이 낮은 금속물질을 하부층으로 하고, 투명 도전성 물질을 상부층으로 하는 이중층 구조로 이루어진 것을 특징으로 한다.
- <175> 도 23b, 24b, 25b는, 상기 게이트 전극(514), 제 1 캐패시터 전극(518), 게이트 배선(512), 게이트 패드(516)를 덮는 기판 전면, 제 1 절연물질, 제 1, 2 반도체 물질, 제 2 금속물질을 차례대로 증착 또는 코팅하여, 절연층(520), 제 1, 2 반도체 물질층(522a, 522b), 금속층(524)을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 상기 금속층(524)을 덮는 영역에 PR 물질을 도포하고, 노광, 현상 공정을 통해 패터닝하여, 상기 게이트 전극(514)을 덮는 위치의 제 1 PR패턴(526a)과, 제 1 캐패시터 전극(518)을 덮는 위치의 제 2 PR패턴(526b)과, 데이터 패드 형성부(II)와 대응된 위치의 제 3 PR패턴(526c)과, 게이트 패드(516)를 덮는 위치의 제 4 PR패턴(526d)을 형성하는 단계이다.
- <176> 도면으로 제시하지는 않았지만, 상기 제 1 PR패턴(526a)과 제 3 PR패턴(526c)은 일체형 패턴을 이룬다. 즉, 상기 제 3 PR패턴(526c)은 상기 제 1 PR패턴(526a)의 일끝단부에 위치하는 패턴에 해당된다.

- <177> 상기 제 4 PR패턴(526d)는, 상기 게이트 패드(516)의 중앙부와 대응된 위치에 금속층(524)을 노출시키는 오픈부(530)를 가진다.
- <178> 본 실시예에서는, 별도의 회절노광 공정을 생략하기 때문에, 상기 제 1 PR패턴(526a)에 별도의 오픈부가 형성되지 않는 것을 특징으로 한다.
- <179> 이 단계에서는, 상기 패터닝 공정 다음에 제 1 내지 제 4 PR패턴(526a, 526b, 526c, 526d)을 스트립(strip)하여 제거하는 공정을 포함한다.
- <180> 다음, 도 23c, 24c, 25c는, 상기 제 1 PR패턴(526a)가 전사된 금속층(상기 도 23c의 524) 및 제 1, 2 반도체 물질층(522a, 522b) 패턴 영역은 스위칭 패턴(527)을 이루고, 상기 제 2 내지 3 PR패턴(526b, 526c, 526d)가 각각 전사된 금속층(524) 및 제 1, 2 반도체 물질층(522a, 522b) 패턴 영역은 차례대로 제 2 캐패시터 전극(538)부, 데이터 패드(540)부, 게이트패드 버퍼패턴(542)을 이루고, 이 중 제 2 캐패시터 전극(538) 및 데이터 패드(540)는 상부층을 이루는 금속층(상기 도 23c의 524)으로 이루어진다.
- <181> 이 단계에서는, 상기 스위칭 패턴(527), 제 2 캐패시터 전극(538), 데이터 패드(540), 게이트패드 버퍼패턴(542)을 덮는 영역에 투명 도전성 물질을 증착한 다음, 제 3 마스크 공정에 의해 도면 상에서 스위칭 패턴(527)의 좌측을 덮는 위치의 데이터 버퍼패턴(545)과, 상기 스위칭 패턴(527)의 우측을 덮는 위치에서 데이터 버퍼패턴(545)과 이격되게 위치하며, 상기 제 2 캐패시터 전극(538)을 덮는 영역을 포함하여 화소 영역(P)에 형성된 화소 전극(546)과, 상기 데이터 패드(540)를 덮는 영역의 데이터패드 전극(548)과, 게이트패드 버퍼패턴(542)을 덮는 영역에 위치하며, 오픈부(530)를 노출시키는 게이트패드 버퍼전극(551)을 형성하는 단계이다.

- <182> 도 23d, 24d, 25d는, 상기 데이터 버퍼패턴(545) 및 화소 전극(546)을 마스크로 이용하여, 상기 데이터 버퍼패턴(545)과 화소 전극(546)간 이격구간에 위치하는 스위칭 패턴(상기 도 23c의 527)의 금속층(524)을 식각하는 단계이다.
- <183> 이 단계를 통해, 상기 스위칭 패턴(상기 도 23c의 527)의 금속층(524)은, 서로 이격되게 위치하는 소스 전극(534) 및 드레인 전극(536)과, 소스 전극(534)과 연결되는 데이터 배선(544)으로 완성된다.
- <184> 이때, 상기 드레인 전극(536)은 전술한 화소 전극(546)과 연결되는 패턴에 해당된다.
- <185> 다음, 도 23e, 24e, 25e에서는, 상기 소스 전극(534) 및 드레인 전극(536)을 마스크로 이용하여, 소스 전극(534) 및 드레인 전극(536) 사이 구간에 노출된 제 2 반도체 물질층(522b)을 식각하여, 그 하부층을 이루는 제 1 반도체 물질층(522a)을 노출하여, 노출된 제 1 반도체 물질층(522a) 영역을 채널(ch)로 구성하는 단계이다.
- <186> 이 단계에서는, 상기 채널(ch) 영역의 제 2 반도체 물질층(522b)을 완전히 식각하기 위하여 과식각처리하여 그 하부층을 이루는 제 1 반도체 물질층(522a)이 일부 식각될 수 있다.
- <187> 이 단계를 통해, 상기 스위칭 패턴(상기 도 23c의 527)에서 제 1 반도체 물질층(상기 도 23c의 522a)은 액티브층(532a)을 이루고, 제 2 반도체 물질층(상기 도 23c의 522b)은 오믹콘택층(532b)을 이루게 된다.
- <188> 상기 액티브층(532a) 및 오믹콘택층(532b)은 반도체층(532)을 이룬다.
- <189> 상기 게이트 전극(514), 반도체층(532), 소스 전극(534) 및 드레인 전극(536)은 박막트랜지스터(T)를 이루고, 상기 제 1, 2 캐패시터 전극(518, 538)이 증착된 영역은 스토리지 캐패시터스(C_{ST})를 이룬다.

- <190> 다음, 도 23f, 24f, 25f에서는, 상기 박막트랜지스터(T) 및 스토리지 캐패시턴스(C_{ST}), 게이트 패드(516)부, 데이터 패드(540)부를 덮는 영역에 제 2 절연물질을 증착 또는 코팅하여 보호층(550)을 형성하는 단계이다.
- <191> 이후, 상기 게이트 패드(516)부, 데이터 패드(540)부 오픈 공정은 상기 실시예 1에 따른 패드 오픈 공정을 적용할 수 있으며, 본 실시예에서는 게이트 패드(516)부의 게이트패드 버퍼 전극(551)이 가지는 패드오픈부(543) 영역에서 노출된 게이트 패드의 상부층을 이루는 투명 도전성 물질층이 실질적인 게이트패드 전극(552)으로 이용된다.
- <192> -- 제 6 실시예 --
- <193> 도 26 내지 28은 본 발명의 제 6 실시예에 따른 액정표시장치용 어레이 기판에 대한 단면도이다.
- <194> 도 26, 27, 28은, 기판 상에 제 1 금속물질을 이용한 제 1 마스크 공정에 의해 기판 (610) 상에 게이트 전극(614), 캐패시터 전극(618), 게이트 배선(612), 게이트 패드(616)를 형성하는 단계와, 상기 게이트 전극(614), 캐패시터 전극(618), 게이트 배선(612), 게이트 패드(616)를 덮는 기판 전면, 제 1 절연물질, 제 1, 2 반도체 물질, 제 2 금속물질을 차례대로 증착 또는 코팅하여, 절연층(620), 제 1, 2 반도체 물질층(622a, 622b), 금속층(624)을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 상기 금속층(624)을 덮는 영역에 PR 물질을 도포하고, 노광, 현상 공정을 통해 패터닝하여, 상기 게이트 전극(614)을 덮는 위치의 제 1 PR패턴(626a)과, 데이터 패드 형성부(II)와 대응된 위치의 제 2 PR패턴(626b)과, 게이트 패드(616)를 덮는 위치의 제 3 PR패턴(626c)을 형성하는 단계이다.

- <195> 도면으로 제시하지는 않았지만, 상기 제 1 PR패턴(626a)과 제 2 PR패턴(626b)은 일체형 패턴을 이룬다. 즉, 상기 제 2 PR패턴(626b)은 상기 제 1 PR패턴(626a)의 일끝단부에 위치하는 패턴에 해당된다.
- <196> 상기 제 3 PR패턴(626c)는, 상기 게이트 패드(616)의 중앙부와 대응된 위치에 금속층(624)을 노출시키는 오픈부(630)를 가진다.
- <197> 이 단계에서는, 상기 제 1 PR패턴(626a)가 전사된 금속층(624) 및 제 1, 2 반도체 물질층(622a, 622b) 패턴 영역은 스위칭 패턴(627)을 이루고, 상기 제 2 내지 3 PR패턴(626b, 626c)가 각각 전사된 금속층(624) 및 제 1, 2 반도체 물질층(622a, 622b) 패턴 영역은 차례대로 데이터 패드(640)부, 게이트패드 버퍼패턴(642)부를 이루고, 이 중 데이터 패드(640)는 상부층을 이루는 금속층으로 이루어진다.
- <198> 본 단계는, 상기 캐패시터 전극(618)을 덮는 영역에 별도의 PR패턴을 형성하지 않고, 상기 캐패시터 전극(618)을 덮는 금속층(624) 및 제 1, 2 반도체 물질층(622a, 622b)을 제거한 다음, 후반 공정에서 스토리지 캐패시터스를 구성하는 두 전극 물질로써, 캐패시터 전극(618) 및 화소 전극을 선택하는 것을 특징으로 한다.
- <199> -- 제 7 실시예 --
- <200> 도 29a 내지 29f, 도 30a 내지 30f, 도 31a 내지 31f는 본 발명의 제 7 실시예에 따른 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 단면도이다.

- <201> 도 29a, 30a, 31a는, 제 1 금속물질을 이용한 제 1 마스크 공정에 의해 기판(710) 상에 게이트 전극(714), 제 1 캐패시터 전극(718), 게이트 배선(712), 게이트 패드(716)를 형성하는 단계이다.
- <202> 상기 제 1 금속물질은, 별도의 투명 도전층을 포함하지 않으며, 비저항값이 낮은 금속물질에서 선택되는 것을 특징으로 한다.
- <203> 도 29b, 30b, 31b는, 상기 게이트 전극(714), 제 1 캐패시터 전극(718), 게이트 배선(712), 게이트 패드(716)를 덮는 기판 전면, 제 1 절연물질, 제 1, 2 반도체 물질, 제 2 금속물질을 차례대로 증착 또는 코팅하여, 절연층(720), 제 1, 2 반도체 물질층(722a, 722b), 금속층(724)을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 상기 금속층(724)을 덮는 영역에 PR 물질을 도포하고, 노광, 현상 공정을 통해 패터닝하여, 상기 게이트 전극(714)을 덮는 위치의 제 1 PR패턴(726a)과, 제 1 캐패시터 전극(718)을 덮는 위치의 제 2 PR패턴(726b)과, 데이터 패드 형성부(II)와 대응된 위치의 제 3 PR패턴(726c)과, 게이트 패드(716)를 덮는 위치의 제 4 PR패턴(726d)을 형성하는 단계이다.
- <204> 도면으로 제시하지는 않았지만, 상기 제 1 PR패턴(726a)과 제 3 PR패턴(726c)은 일체형 패턴을 이룬다. 즉, 상기 제 3 PR패턴(726c)은 상기 제 1 PR패턴(726a)의 일끝단부에 위치하는 패턴에 해당된다.
- <205> 상기 제 4 PR패턴(726d)는, 상기 게이트 패드(716)의 중앙부와 대응된 위치에 금속층(724)을 노출시키는 오픈부(730)를 가진다.
- <206> 본 실시예에서는, 별도의 회절노광 공정을 생략하기 때문에, 상기 제 1 PR패턴(726a)에 별도의 오목부를 포함하지 않는 것을 특징으로 한다.

- <207> 다음, 도 29c, 30c, 31c는, 상기 제 1 내지 제 4 PR패턴(726a, 726b, 726c, 726d)을 마스크로 이용하여, 노출된 금속층(724) 및 제 1, 2 반도체 물질층(722a, 722b) 그리고, 절연층(720)을 연속적으로 식각하는 단계이다.
- <208> 이 단계에서는, 상기 제 1 PR패턴(726a)이 전사된 금속층(724) 및 제 1, 2 반도체 물질층(722a, 722b), 절연층(720) 패턴 영역은 스위칭 패턴(727)을 이루고, 상기 제 2 내지 4 PR패턴(726b, 726c, 726d)가 각각 전사된 금속층(724) 및 제 1, 2 반도체 물질층(722a, 722b), 절연층(720) 패턴 영역은 차례대로 제 2 캐패시터 전극(738), 데이터 패드(740), 게이트패드 버퍼패턴(742)을 이루고, 이 중 제 2 캐패시터 전극(738) 및 데이터 패드(740)는 상부층을 이루는 금속층 패턴에 해당된다.
- <209> 도 29d, 30d, 31d는, 상기 스위칭 패턴(727), 제 2 캐패시터 전극(738), 데이터 패드(740), 게이트패드 버퍼패턴(742)을 덮는 영역에 투명 도전성 물질을 증착한 다음, 제 3 마스크 공정에 의해 도면 상에서 스위칭 패턴(727)의 좌측을 덮는 위치의 데이터 버퍼패턴(745)과, 상기 스위칭 패턴(727)의 우측을 덮는 위치에서 데이터 버퍼패턴(745)과 이격되게 위치하며, 상기 제 2 캐패시터 전극(738)을 덮는 영역을 포함하여 화소 영역(P)에 형성된 화소 전극(746)과, 상기 데이터 패드(740)를 덮는 영역의 데이터패드 전극(748)과, 게이트 버퍼패턴(742)을 덮는 영역에 위치하며, 패드오픈부(743)를 통해 게이트 패드(716)와 연결되는 게이트패드 전극(752)을 형성하는 단계이다.
- <210> 도 29e, 30e, 31e는, 상기 데이터 버퍼패턴(745) 및 화소 전극(746)을 마스크로 이용하여, 상기 데이터 버퍼패턴(745)과 화소 전극(746)간 이격구간에 위치하는 스위칭 패턴(상기 도 29d의 727)의 금속층(724)을 식각하는 단계이다.

- <211> 이 단계를 통해, 상기 스위칭 패턴(상기 도 29d의 727)의 금속층(724)은, 서로 이격되게 위치하는 소스 전극(734) 및 드레인 전극(736)과, 소스 전극(734)과 연결되는 데이터 배선(744)으로 완성된다.
- <212> 이때, 상기 드레인 전극(736)은 전술한 화소 전극(746)과 연결되는 패턴에 해당된다.
- <213> 이 단계에서는, 상기 소스 전극(734) 및 드레인 전극(736)을 마스크로 이용하여, 소스 전극(734) 및 드레인 전극(736) 사이 구간에 노출된 제 2 반도체 물질층(722b)을 식각하여, 그 하부층을 이루는 제 1 반도체 물질층(722a)을 노출하여, 노출된 제 1 반도체 물질층(722a) 영역을 채널(ch)로 구성하는 단계이다.
- <214> 이 단계에서는, 상기 채널(ch) 영역의 제 2 반도체 물질층(722b)을 완전히 제거하기 위해 과식각처리하여 그 하부층을 이루는 제 1 반도체 물질층(722a)이 일부 식각될 수 있다.
- <215> 이 단계를 통해, 상기 스위칭 패턴(상기 도 29d의 727)에서 제 1 반도체 물질층(상기 도 29d의 722a)은 액티브층(732a)을 이루고, 제 2 반도체 물질층(상기 도 29d의 722b)은 오믹콘택층(732b)을 이루게 된다.
- <216> 상기 액티브층(732a) 및 오믹콘택층(732b)은 반도체층(732)을 이룬다.
- <217> 상기 게이트 전극(714), 반도체층(732), 소스 전극(734) 및 드레인 전극(736)은 박막트랜지스터(T)를 이루고, 상기 제 1, 2 캐패시터 전극(718, 738)이 증착된 영역은 스토리지 캐패시턴스(C_{ST})를 이룬다.
- <218> 도 29f, 30f, 31f는, 상기 박막트랜지스터(T) 및 스토리지 캐패시턴스(C_{ST}), 게이트 패드(716)부, 데이터 패드(740)부를 덮는 영역에 제 2 절연물질을 증착 또는 코팅하여 보호층(750)을 형성하는 단계이다.

<219> 이후, 상기 게이트 패드(716)부, 데이터 패드(740)부 오픈 공정은 상기 실시예 1에 따른 패드 오픈 공정을 적용할 수 있으며, 본 실시예에서는 게이트 패드(716)부, 데이터 패드(740)부 모두 제 3 마스크 공정에서 형성된 게이트패드 전극(752) 및 데이터패드 전극(748)이 형성된 구조이므로, 상부층을 이루는 보호층(750)만을 제거하는 공정에 의해 패드부를 오픈시킬 수 있다.

<220> -- 제 8 실시예 --

<221> 도 32a 내지 32g, 도 33a 내지 33g, 도 34a 내지 34g는 본 발명의 제 4 실시예에 따른 액정표시장치용 어레이 기판의 제조 공정을 단계별로 나타낸 단면도이다.

<222> 도 32a, 33a, 34a는, 기판(810) 상에 제 1 금속물질을 이용한 제 1 마스크 공정에 의해, 게이트 전극(814), 제 1 캐패시터 전극(818), 게이트 배선(812), 게이트 패드(816)를 형성하는 단계와, 게이트 전극(814), 제 1 캐패시터 전극(818), 게이트 배선(812), 게이트 패드(816)를 덮는 기판 전면예, 제 1 절연물질, 제 1, 2 반도체 물질, 제 2 금속물질을 차례대로 증착 또는 코팅하여, 절연층(820), 제 1, 2 반도체 물질층(822a, 822b), 금속층(824)을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 상기 금속층(824)을 덮는 영역에 PR 물질을 도포하고, 노광, 현상 공정을 통해 패터닝하여, 상기 게이트 전극(814)을 덮는 위치의 제 1 PR패턴(826a)과, 제 1 캐패시터 전극(818)을 덮는 위치의 제 2 PR패턴(826b)과, 데이터 패드 형성부(II)와 대응된 위치의 제 3 PR패턴(826c)과, 게이트 패드(816)를 덮는 위치의 제 4 PR패턴(826d)을 형성하는 단계이다.

- <223> 도면으로 제시하지는 않았지만, 상기 제 1 PR패턴(826a)과 제 3 PR패턴(826c)은 일체형 패턴을 이룬다. 즉, 상기 제 3 PR패턴(826c)은 상기 제 1 PR패턴(826a)의 일끝단부에 위치하는 패턴에 해당된다.
- <224> 이때, 상기 제 1 PR패턴(826a)은, 상기 게이트 전극(814)의 중앙부와 대응된 위치에서 회절노광에 의해 오목부(828)를 가지고, 제 4 PR패턴(826d)은 게이트 패드(816)의 중앙부와 대응된 위치에서 오픈부(830)를 가지는 것을 특징으로 한다.
- <225> 상기 회절노광 공정은 빛의 투과량을 조절할 수 있는 하프톤 마스크(halftone mask) 또는 슬릿 마스크 slit mask)를 이용하여, 원하는 영역의 PR층 만을 선택적으로 얇게 패터닝하는 공정에 해당된다.
- <226> 도 32b, 33b, 34b는, 상기 제 1 내지 제 4 PR패턴(826a, 826b, 826c, 826d)을 마스크로 이용하여, 노출된 금속층(824), 제 1, 2 반도체 물질층(822a, 822b), 절연층(820)을 연속적으로 식각하는 단계이다.
- <227> 이 단계에서, 상기 제 4 PR패턴(826d)이 가지는 오픈부(830)과 대응된 위치에서는 식각 공정을 통해 게이트 패드(816)가 노출되는 것을 특징으로 한다.
- <228> 도 32c, 33c, 34c는, 상기 제 1 내지 제 4 PR패턴(826a, 826b, 826c, 826d)을 상기 제 1 PR패턴(826a)의 오목부(828) 두께(d1)에 해당하는 두께만큼 에칭(ashing)처리한 다음, 도 32d, 33d, 34d에서는, 에칭처리된 제 1 내지 제 4 PR패턴(826a, 826b, 826c, 826d)을 마스크로 이용하여 노출된 제 1 PR패턴(826a) 중앙부의 금속층(824)을 식각하는 단계이다.

- <229> 이 단계에서는, 상기 식각 공정을 통해 제 1 PR패턴(826a)과 대응된 위치에서 서로 이격되게 위치하는 금속층(824) 영역은 소스 전극(834) 및 드레인 전극(836) 그리고, 소스 전극(834)과 일체형 패턴인 데이터 배선(844)을 이룬다.
- <230> 그리고, 상기 제 2, 3 PR패턴(826b, 826c)과 대응된 위치에서 패터닝된 금속층(도 32c의 824) 영역은 제 2 캐패시터 전극(838) 및 데이터 패드(840)를 이루고, 제 4 PR패턴(826d)과 대응되게 위치하며, 게이트 패드(816)의 중앙부에서 오픈부(830)를 가지는 금속층(도 32c의 824), 제 1, 2 반도체 물질층(도 32c의 822a, 822b)은 게이트패드 버퍼패턴(842)을 이룬다.
- <231> 이 단계에서는, 상기 제 1 내지 제 4 PR패턴(826a, 826b, 826c, 826d)을 스트립하여 제거하는 단계를 포함한다.
- <232> 도 32e, 33e, 34e에서는, 상기 소스 전극(834) 및 드레인 전극(836) 그리고, 데이터 배선(844) 및 제 2 캐패시터 전극(838) 및 데이터 패드(840) 그리고, 게이트패드 버퍼패턴(842)을 덮는 영역에 투명 도전성 물질을 증착한 다음, 제 3 마스크 공정에 의해, 데이터 배선(844) 및 소스 전극(834)을 덮는 영역의 데이터 버퍼패턴(845) 및 드레인 전극(836) 및 제 2 캐패시터 전극(838)을 덮는 영역의 화소 전극(846) 그리고, 데이터 패드(840)를 덮는 영역의 데이터 패드 전극(848) 및 게이트패드 버퍼패턴(842)을 덮는 영역에서 오픈부(830)를 통해 게이트 패드(816)와 연결되는 게이트패드 전극(852)을 형성하는 단계이다.
- <233> 도 32f, 33f, 34f는, 상기 데이터 버퍼패턴(845) 및 화소 전극(846)을 마스크로 이용하여, 상기 소스 전극(834) 및 드레인 전극(836) 사이 구간에 위치하는 제 2 반도체 물질층(822b)을 식각처리하여, 그 하부층에 노출된 제 1 반도체 물질층(822a) 영역을 채널(ch)로 구성하는 단계이다.

- <234> 이 단계를 통해, 상기 제 1 반도체 물질층(도 32e의 822a)은 액티브층(832a)을 이루고, 제 2 반도체 물질층(도 32e의 822b)은 오믹콘택층(832b)을 이루며, 액티브층(832a) 및 오믹콘택층(832b)을 반도체층(832)을 구성하게 된다.
- <235> 상기 게이트 전극(814), 반도체층(832), 소스 전극(834) 및 드레인 전극(836)은 박막트랜지스터(T)를 이루고, 상기 제 1, 2 캐패시터 전극(818, 838)이 중첩된 영역은 스토리지 캐패시턴스(C_{ST})를 이룬다.
- <236> 도 32g, 33g, 34g는, 상기 박막트랜지스터(T) 및 스토리지 캐패시턴스(C_{ST}), 게이트패드(816)부, 데이터 패드(840)부를 덮는 영역에 제 2 절연물질을 증착 또는 코팅하여 보호층(850)을 형성하는 단계이다.
- <237> 이후, 상기 게이트 패드(816)부, 데이터 패드(840)부 오픈 공정은 상기 실시예 1에 따른 패드 오픈 공정을 적용할 수 있으며, 본 실시예에서는 게이트 패드(816)부, 데이터 패드(840)부 모두 제 3 마스크 공정에서 형성된 게이트패드 전극(852) 및 데이터패드 전극(848)이 형성된 구조이므로, 상부층을 이루는 보호층(850)만을 제거하는 공정에 의해 패드부를 오픈시킬 수 있다.
- <238> 그러나, 본 발명은 상기 실시예 들로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

【발명의 효과】

<239> 이와 같이, 본 발명에 따른 3 마스크 공정을 이용한 액정표시장치 및 그 제조방법에 의하면, 별도의 마스크 공정 추가없이 합착 후 식각 공정을 통해 패드부를 오픈시킬 수 있어, 마스크 공정의 최소화로 제조 비용 및 공정 시간을 줄일 수 있어 생산 수율을 높일 수 있다.

【특허청구범위】**【청구항 1】**

제 1 기판 상에 제 1 금속물질을 형성한 다음, 감광성 물질인 PR(photo-resist)을 이용한 노광, 현상 공정을 포함하는 사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로 게이트 배선과, 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와;

상기 게이트 배선, 게이트 전극, 게이트 패드를 덮는 영역에, 제 1 절연물질, 제 1 반도체 물질, 제 2 반도체 물질, 제 2 금속물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역을 포함하여, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하며, 상기 게이트 전극의 중앙부와 대응된 영역에서 오목부를 가지는 제 1 PR패턴을 형성하는 단계와;

상기 제 1 PR패턴을 마스크로 이용하여, 노출된 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질을 연속적으로 식각하는 단계와;

상기 제 1 PR패턴을 일정 두께 에칭(ashing)처리하여, 상기 제 1 PR패턴의 오목부와 대응된 위치의 제 2 금속물질 영역을 제거하는 단계와;

상기 에칭처리된 제 1 PR패턴을 제거하고, 상기 제 1 PR패턴과 대응된 위치에서 패터닝되고, 서로 이격되게 위치하는 소스 전극 및 드레인 전극 그리고, 상기 소스 전극과 연결되며, 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드를 형성하는 단계와;

상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역으로 정의되고, 상기 소스 전극 및 드레인 전극 그리고, 데이터 배선, 데이터 패드를 덮는 영역에, 투명 도전성 물질을 형성한 다음, 제 3 마스크 공정에 의해, 상기 드레인 전극과 대응된 패턴으로, 상기 드레인 전극과 연결되어 화소 영역에 위치하는 화소 전극과, 상기 데이터 패드를 덮는 영역 상의 데이터패드 전극을 형성하는 단계와;

상기 소스 전극 및 화소 전극 사이 구간의 제 2 반도체 물질을 제거하여, 그 하부층을 이루는 제 1 반도체 물질 영역으로 이루어진 채널을 형성하고, 상기 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 영역 내 제 1, 2 반도체 물질은 액티브층 및 오믹콘택층을 차례대로 이루며, 상기 액티브층, 오믹콘택층은 반도체층을 구성하는 단계와;

상기 제 1 기판과 대향되게 배치되며, 상기 게이트 패드부 및 데이터 패드부를 외부로 노출시키는 면적을 가지는 제 2 기판을 구비하는 단계와;

상기 마스크 공정을 생략한 디핑(dipping) 방식에 의해, 상기 제 1 기판의 노출된 게이트 패드부 및 데이터 패드부의 절연층을 식각하는 단계

를 포함하는 액정표시장치의 제조 방법.

【청구항 2】

제 1 기판 상에 제 1 금속물질을 형성한 다음, 감광성 물질인 PR(photo-resist)을 이용한 노광, 현상 공정을 포함하는 사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로 게이

트 배선과, 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와;

상기 게이트 배선, 게이트 전극, 게이트 패드를 덮는 영역에, 제 1 절연물질, 제 1 반도체 물질, 제 2 반도체 물질, 제 2 금속물질을 차례대로 형성한 다음, 상기 제 1 절연물질을 게이트 절연막으로 삼고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역을 포함하여, 상기 제 1 방향과 교차되는 제 2 방향으로 제 1 PR패턴을 형성하는 단계와;

상기 제 1 PR패턴을 마스크로 이용하여, 노출된 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질을 연속적으로 식각하는 단계와;

상기 제 1 PR패턴을 제거하고, 상기 제 1 PR패턴과 대응된 위치에서 패터닝된 스위칭 패턴 및 상기 게이트 배선과 교차되는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드를 형성하는 단계와;

상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역으로 정의되고, 상기 스위칭 패턴 및 데이터 배선, 데이터 패드를 덮는 영역에 투명 도전성 물질을 형성한 다음, 제 3 마스크 공정에 의해, 상기 스위칭 패턴을 일부 덮는 영역을 포함하여 화소 영역에 위치하는 화소 전극 및 상기 데이터 패드를 덮는 영역에 데이터패드 전극을 형성하는 단계와;

상기 스위칭 패턴과 화소 전극 사이 구간의 제 2 반도체 물질을 제거하여, 그 하부층을 이루는 제 1 반도체 물질 영역으로 이루어진 채널을 형성하고, 상기 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 영역 내 제 1, 2 반도체 물질은 액티브층 및 오믹콘택층을 차례대로 이루며, 상기 액티브층, 오믹콘택층은 반도체층을 구성하는 단계와;

상기 제 1 기판과 대향되게 배치되며, 상기 게이트 패드부 및 데이터 패드부를 외부로 노출시키는 면적을 가지는 제 2 기판을 구비하는 단계와;

상기 마스크 공정을 생략한 디핑(dipping) 방식에 의해, 상기 제 1 기판의 노출된 게이트 패드부 및 데이터 패드부의 절연층을 식각하는 단계

를 포함하는 액정표시장치의 제조 방법.

【청구항 3】

제 1 기판 상에 제 1 금속물질을 형성한 다음, 감광성 물질인 PR(photo-resist)을 이용한 노광, 현상 공정을 포함하는 사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로 게이트 배선과, 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와;

상기 게이트 배선, 게이트 전극, 게이트 패드를 덮는 영역에, 제 1 절연물질, 제 1 반도체 물질, 제 2 반도체 물질, 제 2 금속물질을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역을 포함하여, 상기 제 1 방향과 교차되는 제 2 방향으로 위치하며, 상기 게이트 전극의 중앙부와 대응된 위치에서 오목부를 가지는 제 1 PR패턴을 형성하는 단계와;

상기 제 1 PR패턴을 마스크로 이용하여, 노출된 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질, 제 1 절연물질을 연속적으로 식각하는 단계와;

상기 제 1 PR패턴을 제거하고, 상기 제 1 PR패턴과 대응된 위치에서 패터닝된 스위칭 패턴 및 상기 게이트 배선과 교차되는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드를 형성하는 단계와;

상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역으로 정의되고, 상기 스위칭 패턴 및 데이터 배선, 데이터 패드를 덮는 영역에 투명 도전성 물질을 형성한 다음, 제 3 마스크 공정에 의해, 상기 스위칭 패턴을 일부 덮는 영역을 포함하여 화소 영역에 위치하는 화소 전극 및 상기 데이터 패드를 덮는 영역에 데이터패드 전극을 형성하는 단계와;

상기 스위칭 패턴과 화소 전극 사이 구간의 제 2 반도체 물질을 제거하여, 그 하부층을 이루는 제 1 반도체 물질 영역으로 이루어진 채널을 형성하고, 상기 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 영역 내 제 1, 2 반도체 물질은 액티브층 및 오믹콘택층을 차례대로 이루며, 상기 액티브층, 오믹콘택층은 반도체층을 구성하는 단계와;

상기 제 1 기판과 대향되게 배치되며, 상기 게이트 패드부 및 데이터 패드부를 외부로 노출시키는 면적을 가지는 제 2 기판을 구비하는 단계와;

상기 마스크 공정을 생략한 디핑(dipping) 방식에 의해, 상기 제 1 기판의 노출된 게이트 패드부 및 데이터 패드부의 절연층을 식각하는 단계

를 포함하는 액정표시장치의 제조 방법.

【청구항 4】

제 1 기판 상에 제 1 금속물질을 형성한 다음, 감광성 물질인 PR(photo-resist)을 이용한 노광, 현상 공정을 포함하는 사진식각 공정인 제 1 마스크 공정에 의해 제 1 방향으로 게이트 배선과, 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 배선의 일끝단에 위치하는 게이트 패드를 형성하는 단계와;

상기 게이트 배선, 게이트 전극, 게이트 패드를 덮는 영역에, 제 1 절연물질, 제 1 반도체 물질, 제 2 반도체 물질, 제 2 금속물질을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역을 포함하여, 상기 제 1 방향과 교차되는 제 2 방향으로 제 1 PR패턴을 형성하는 단계와;

상기 제 1 PR패턴을 마스크로 이용하여, 노출된 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질, 제 1 절연물질을 연속적으로 식각하는 단계와;

상기 제 1 PR패턴을 일정 두께 에칭(ashing)처리하여, 상기 제 1 PR패턴의 오목부와 대응된 영역 상의 제 2 금속물질을 제거하는 단계와;

상기 에칭처리된 제 1 PR패턴을 제거하고, 상기 제 1 PR패턴과 대응된 위치에서 서로 이격되게 위치하는 소스 전극 및 드레인 전극과, 상기 소스 전극과 연결되며, 상기 게이트 배선과 교차되는 데이터 배선과, 상기 데이터 배선의 일끝단에 위치하는 데이터 패드를 형성하는 단계와;

상기 게이트 배선 및 데이터 배선이 교차되는 영역은 화소 영역으로 정의되고, 상기 소스 전극 및 드레인 전극 그리고, 데이터 배선, 데이터 패드를 덮는 영역에 투명 도전성 물질을 형성한 다음, 제 3 마스크 공정에 의해, 상기 스위칭 패턴을 일부 덮는 영역을 포함하여 화소

영역에 위치하는 화소 전극 및 상기 데이터 패드를 덮는 영역에 데이터패드 전극을 형성하는 단계와;

상기 스위칭 패턴과 화소 전극 사이 구간의 제 2 반도체 물질을 제거하여, 그 하부층을 이루는 제 1 반도체 물질 영역으로 이루어진 채널을 형성하고, 상기 게이트 전극, 소스 전극 및 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터 영역 내 제 1, 2 반도체 물질은 액티브층 및 오믹콘택층을 차례대로 이루며, 상기 액티브층, 오믹콘택층은 반도체층을 구성하는 단계와;

상기 제 1 기판과 대향되게 배치되며, 상기 게이트 패드부 및 데이터 패드부를 외부로 노출시키는 면적을 가지는 제 2 기판을 구비하는 단계와;

상기 마스크 공정을 생략한 디핑(dipping) 방식에 의해, 상기 제 1 기판의 노출된 게이트 패드부 및 데이터 패드부의 절연층을 식각하는 단계

를 포함하는 액정표시장치의 제조 방법.

【청구항 5】

제 1 항 내지 제 4 항 중 어느 하나의 항에 있어서,

상기 제 1 금속물질은, 비저항값이 낮은 금속물질을 하부층으로 하고, 투명 도전성 물질을 상부층으로 하는 이중층 구조로 이루어진 액정표시장치의 제조 방법.

【청구항 6】

제 1 항 내지 제 4 항 중 어느 하나의 항에 있어서,

상기 제 1 금속물질은, 비저항값이 낮은 금속물질로 이루어진 단일층 금속물질인 액정표시장치의 제조 방법.

【청구항 7】

제 1 항 내지 제 4 항 중 어느 하나의 항에 있어서,

상기 화소 전극은, 상기 게이트 배선과 일정간격 중첩되게 위치하며, 상기 게이트 배선 형성단계에서는, 상기 화소 전극과 게이트 배선이 중첩되는 영역의 제 1 캐패시터 전극을 형성하는 단계와, 상기 소스 전극 및 드레인 전극을 형성하는 단계에서는, 상기 제 1 캐패시터 전극을 덮는 영역에 제 2 PR패턴을 형성하여, 상기 제 2 PR패턴에 의해 패터닝된 제 2 캐패시터 전극을 형성하는 단계와, 상기 화소 전극을 형성하는 단계에서, 상기 화소 전극은 제 2 캐패시터 전극과 접촉시키는 단계를 포함하여, 상기 제 1, 2 캐패시터 전극이 중첩되는 영역은 스토리지 캐패시턴스를 이루는 액정표시장치의 제조 방법.

【청구항 8】

제 1 항 내지 제 4 항 중 어느 하나의 항에 있어서,

상기 게이트 배선과 일부 중첩되게 화소 전극을 형성하여, 상기 화소 전극과 중첩되는 게이트 배선 영역을 캐패시터 전극으로 삼아, 상기 게이트 절연막이 개재된 상태에서, 상기 캐패시터 전극과 화소 전극이 중첩된 영역은 스토리지 캐패시턴스를 이루는 액정표시장치의 제조 방법.

【청구항 9】

제 1 항에 있어서,

상기 제 2 마스크 공정에서는, 상기 게이트 패드를 덮는 영역에 위치하며, 상기 게이트 패드의 중앙부에서 오픈부를 가지는 또 다른 PR패턴을 형성하는 단계를 추가로 포함하며, 상기 또 다른 PR패턴에 의해 패터닝된 게이트패드 버퍼패턴을 형성하는 단계를 포함하는 액정표시장치의 제조 방법.

【청구항 10】

제 1 항 또는 제 2 항 중 어느 하나의 항에 있어서,

상기 게이트패드 버퍼패턴은 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질의 적층 구조로 이루어지는 액정표시장치의 제조 방법.

【청구항 11】

제 3 항 또는 제 4 항 중 어느 하나의 항에 있어서,

상기 게이트패드 버퍼패턴은 제 2 금속물질, 제 2 반도체 물질, 제 1 반도체 물질, 제 1 절연물질의 적층 구조로 이루어지는 액정표시장치의 제조 방법.

【청구항 12】

제 1 항 내지 제 4 항 중 어느 하나의 항에 있어서,

상기 절연층을 식각하는 단계에서는, 상기 게이트 버퍼패턴의 패드오픈부의 절연층을 식각하여, 상기 패드오픈부의 게이트 패드를 노출시키는 단계를 포함하는 액정표시장치의 제조 방법.

【청구항 13】

제 1 항 내지 제 4 항 중 어느 하나의 항에 있어서,

상기 제 3 마스크 공정에서는, 상기 화소 전극과 동일 물질을 이용하여, 상기 소스 전극 및 데이터 배선 그리고, 데이터 패드를 덮는 영역에 데이터 버퍼패턴을 형성하는 단계를 포함하고, 상기 데이터 패드부에 위치하는 데이터 버퍼패턴은 데이터패드 전극을 이루는 액정표시장치의 제조 방법.

【청구항 14】

제 1 항 내지 제 4 항 중 어느 하나의 항에 있어서,

상기 제 1 반도체 물질은 비정질 실리콘 물질이고, 상기 제 2 반도체 물질은 불순물 비정질 실리콘 물질로 이루어지는 액정표시장치의 제조 방법.

【청구항 15】

제 1 항 또는 제 3 항 중 어느 하나의 항에 있어서,



상기 제 1 PR패턴이 가지는 오목부는 회절노광법에 의해 형성하는 액정표시장치의 제조 방법.

【청구항 16】

제 15 항에 있어서,

상기 회절노광법은, 하프톤 마스크(half-tone mask) 마스크 또는 슬릿 마스크 slit mask) 패턴 중 어느 하나를 이용한 공정인 액정표시장치의 제조 방법.

【청구항 17】

제 3 항 또는 제 4 항 중 어느 하나의 항에 있어서,

상기 화소 전극은, 상기 화소 영역에서 제 1 기판 면과 접촉되게 위치하는 액정표시장치의 제조 방법.

【청구항 18】

제 1 항 내지 제 4 항 중 어느 하나의 항에 있어서,

상기 박막트랜지스터, 상기 게이트 패드부 및 데이터 패드부를 덮는 영역에 보호층을 형성하는 단계를 추가로 포함하는 액정표시장치의 제조 방법.

【청구항 19】

제 1 항 내지 제 4 항 중 어느 하나의 항에 있어서,

상기 제 1, 2 기판 사이 구간에 액정층이 개재되고, 상기 액정층과 접하는 제 1, 2 기판 면에는 배향막을 형성하는 단계를 포함하며, 상기 제 1 기판면의 배향막은 상기 박막트랜지스터, 상기 게이트 패드부 및 데이터 패드부를 덮는 영역에 위치하여, 보호층 겸용으로 이용되는 액정표시장치의 제조 방법.

【청구항 20】

제 1 항 내지 제 4 항 중 어느 하나의 항에 있어서,

상기 게이트 패드부 및 데이터 패드부의 디핑 방식을 이용한 식각 공정에서는, 불산(HF)계 에천트가 이용되는 액정표시장치의 제조 방법.

【청구항 21】

제 1 기판 상에, 제 1 방향으로 위치하는 게이트 배선 및 상기 게이트 배선에서 분기된 게이트 전극과, 상기 게이트 배선의 일 끝단에 위치하는 게이트 패드를 형성하는 단계와;

상기 게이트 배선을 덮는 영역에 게이트 절연막을 형성하는 단계와;

상기 게이트 전극을 덮는 영역에 반도체층을 형성하는 단계와;

상기 반도체층 상부에서 서로 이격되는 소스 전극 및 드레인 전극과, 상기 소스 전극과 연결되고, 상기 제 1 방향과 교차되는 제 2 방향으로 배치되는 데이터 배선과, 상기 데이터 배선의 일 끝단에 위치하는 데이터 패드를 형성하는 단계와;

상기 제 1 기판과 대향되게 배치되며, 상기 게이트 패드 및 데이터 패드를 노출시키는 면적을 가지는 제 2 기판을 구비하는 단계와;

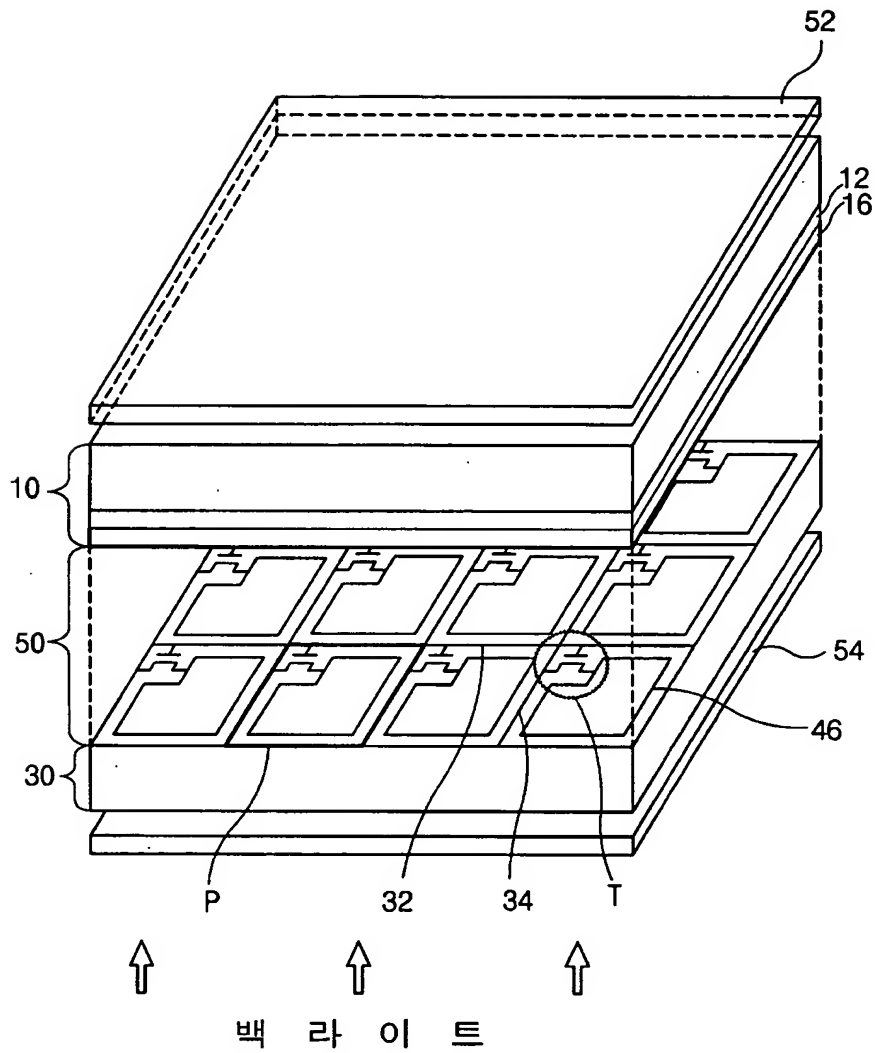
상기 제 1 기판의 노출된 게이트 패드부 및 데이터 패드부의 게이트 절연막을 별도의 마스크 공정을 생략한 디핑 방식에 의해 식각하는 단계를 포함하는 액정표시장치의 제조 방법.

1020020087251

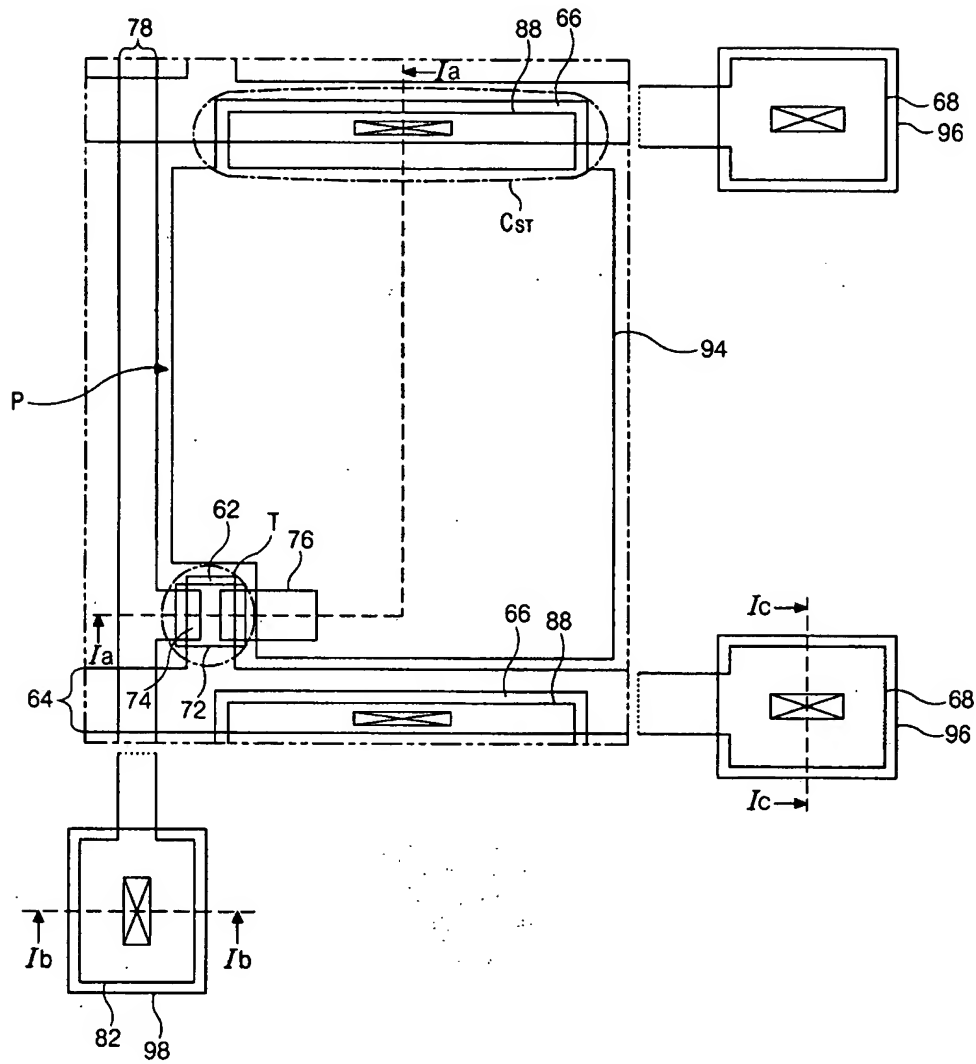
출력 일자: 2003/10/11

【도면】

【도 1】



【도 2】



【도 3a】

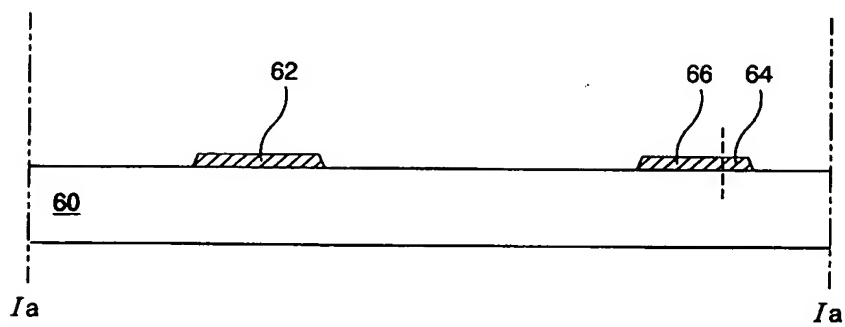
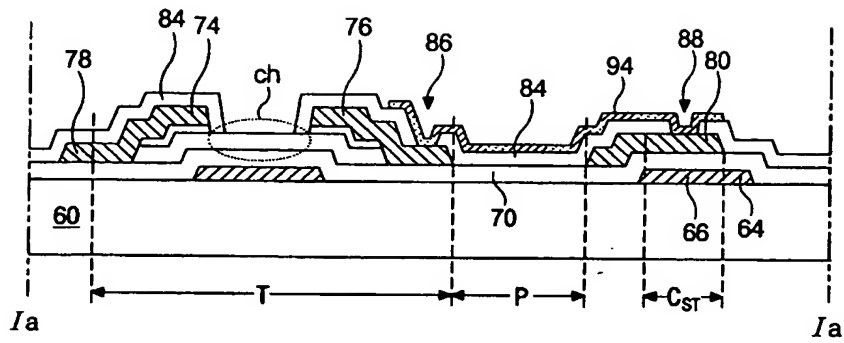


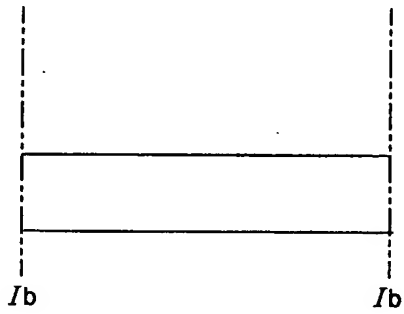
Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate 60 with a layer 62 on top. A central region 72 contains a channel 'ch' between two gate structures 74 and 76. Gate structures 78 and 80 are on the sides. Regions 72a and 72b are adjacent to the channel. Regions 66 and 64 are on the right side. A dimension T is indicated at the bottom.

Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate 60 with a layer 72 (72a, 72b) and various structures 74, 76, 78, 84, 86, 88, 80, 66, 64. A dimension T is indicated.

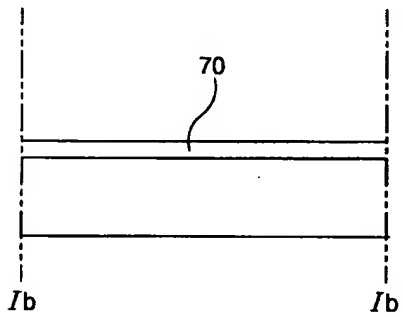
【도 3e】



【도 4a】

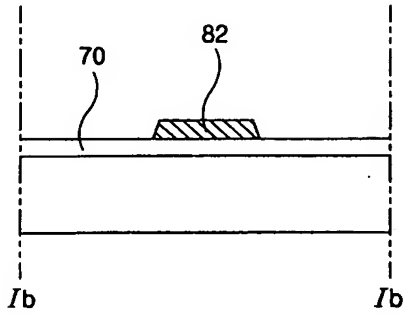


【도 4b】

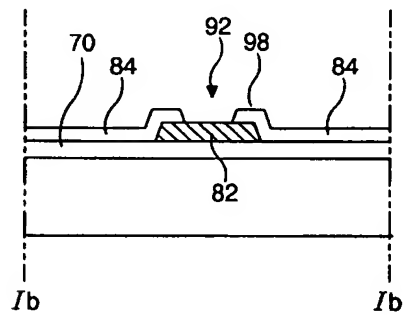




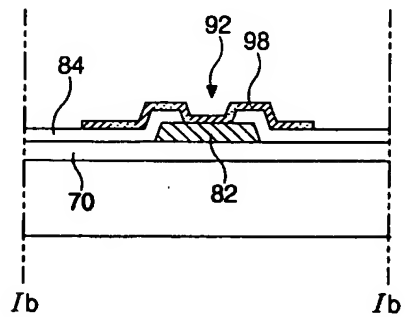
【도 4c】



【도 4d】

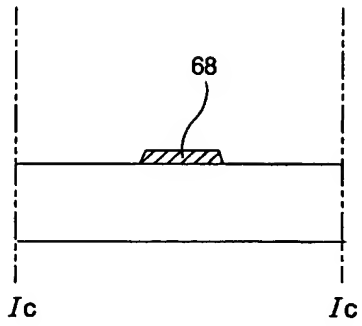


【도 4e】

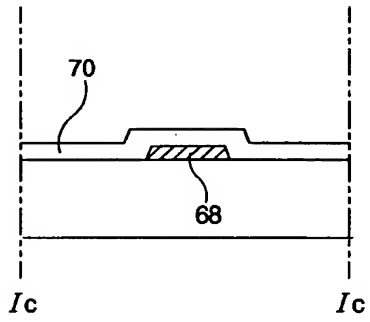




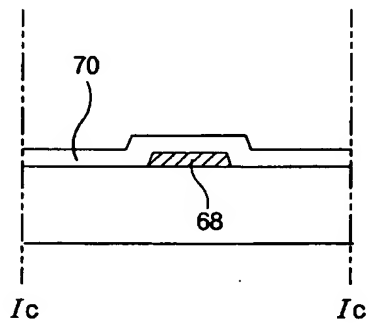
【도 5a】



【도 5b】

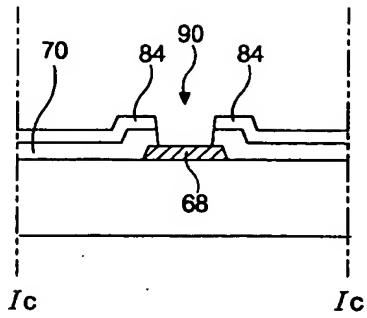


【도 5c】

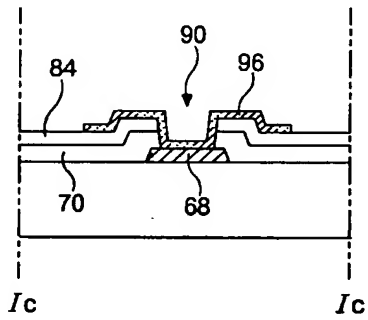




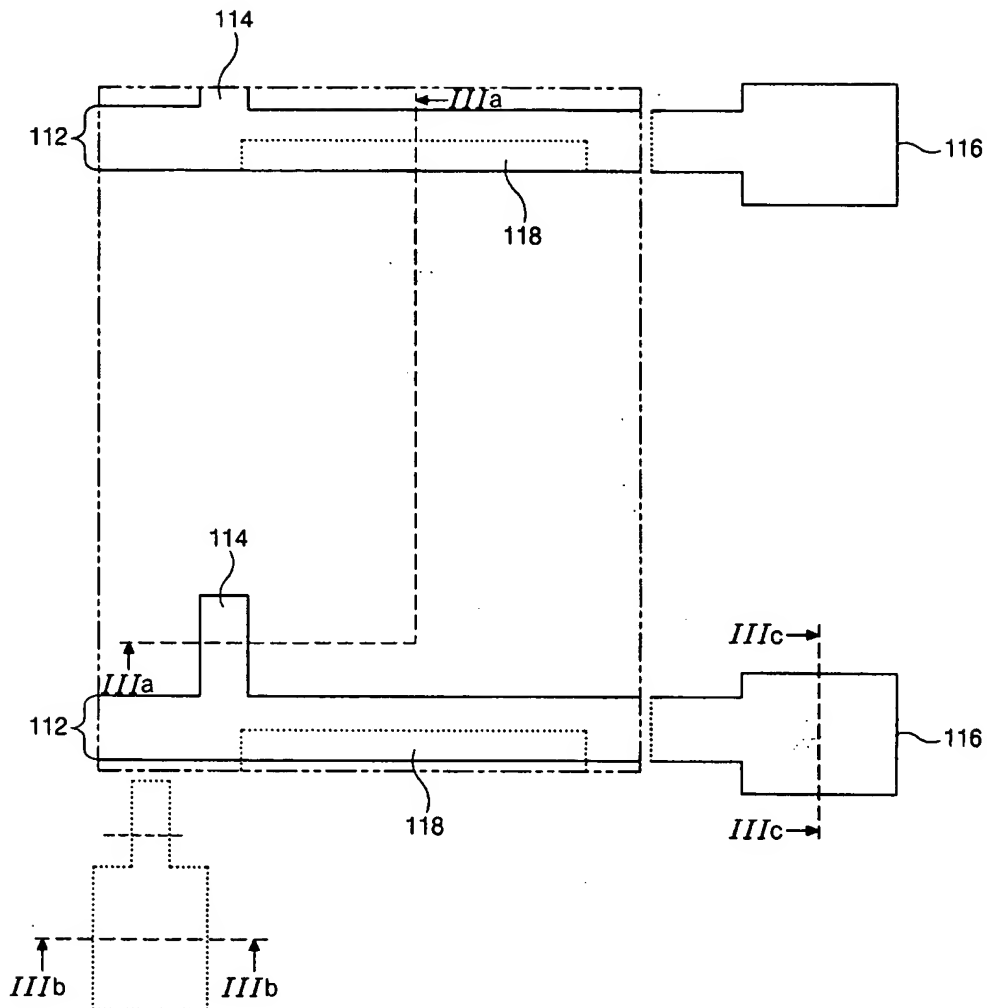
【도 5d】



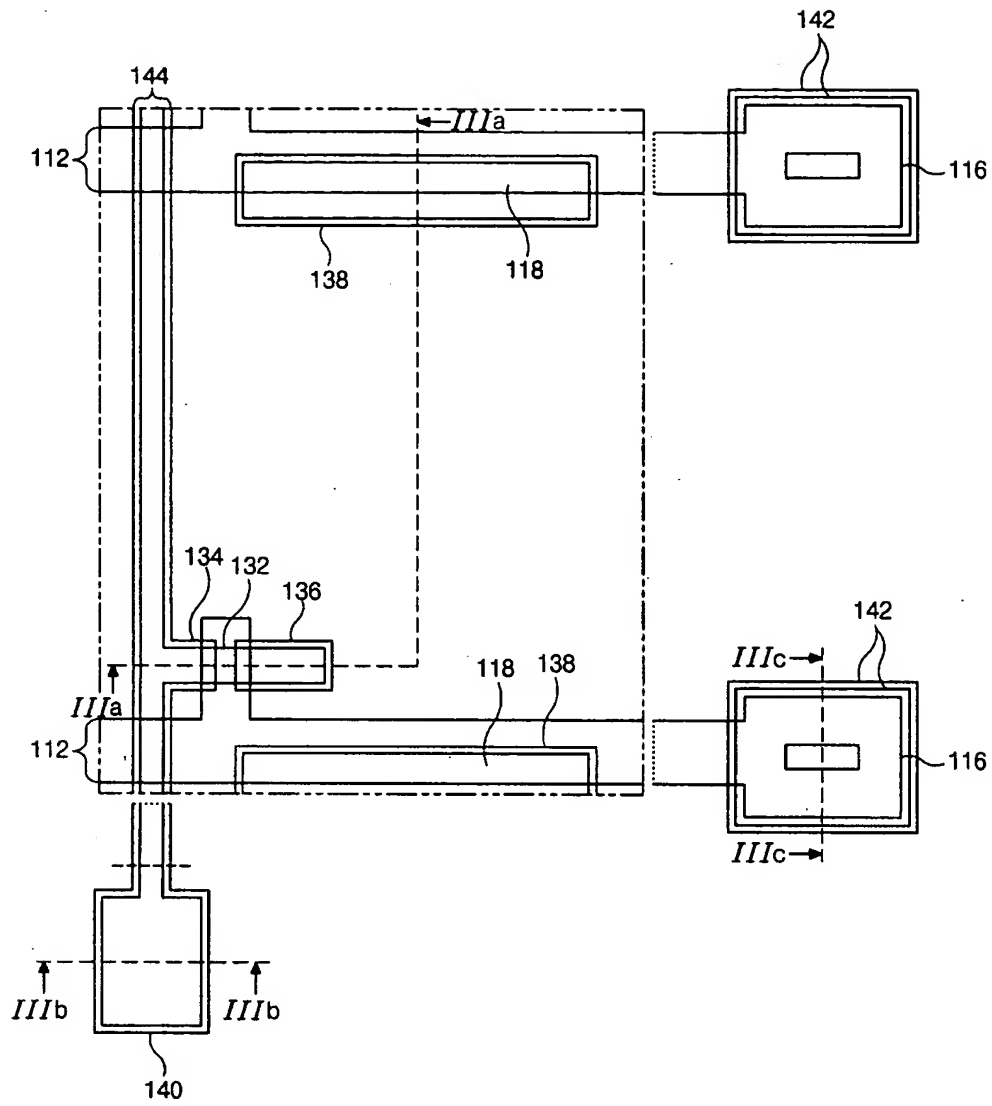
【도 5e】



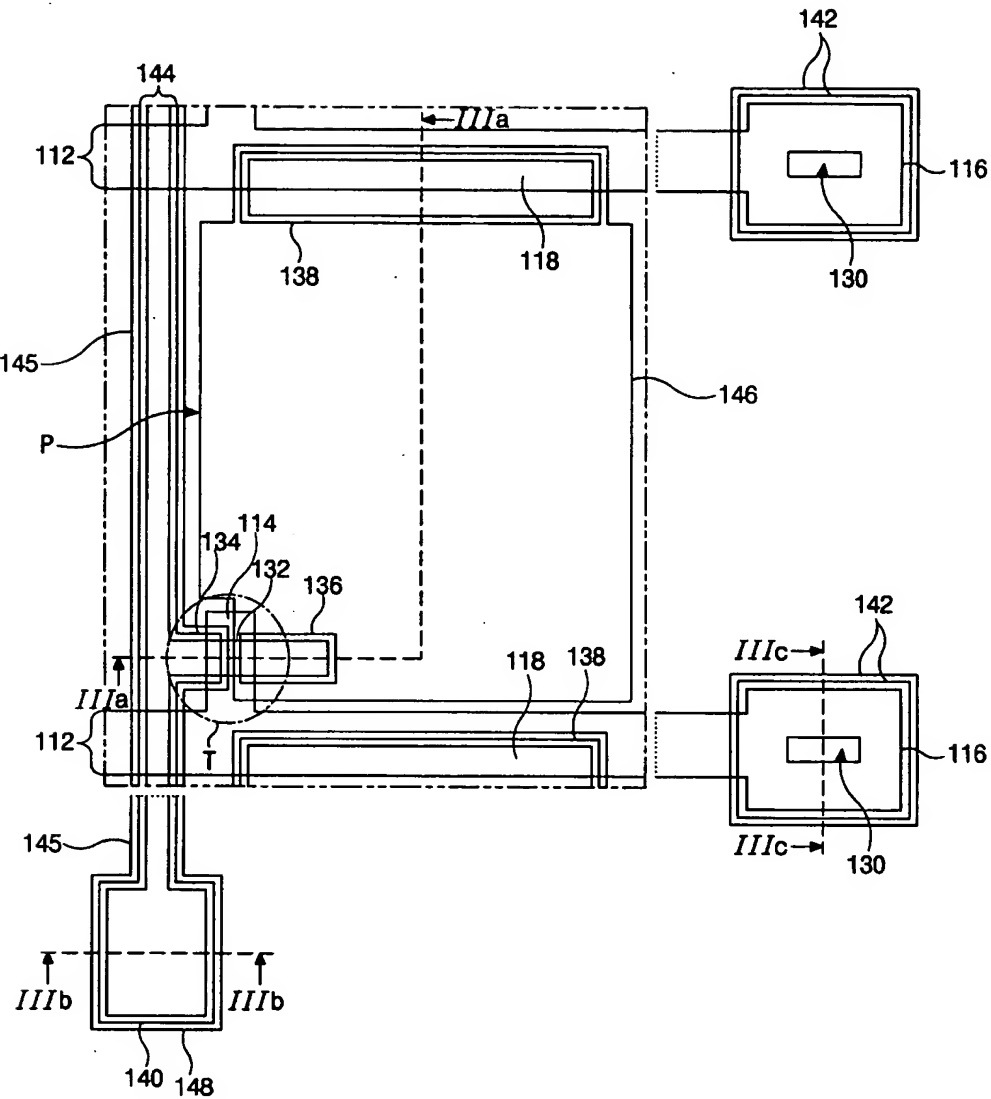
【도 6a】



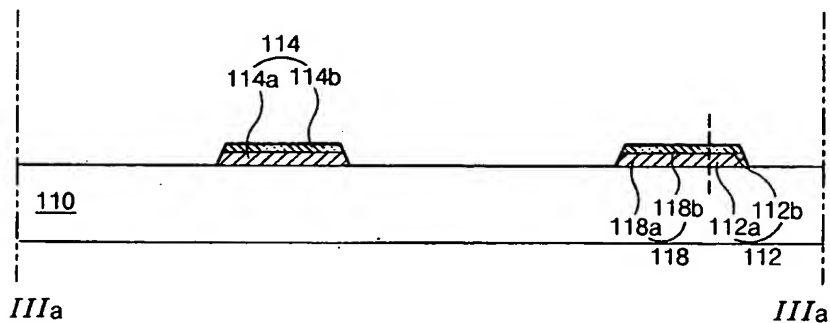
【도 6b】



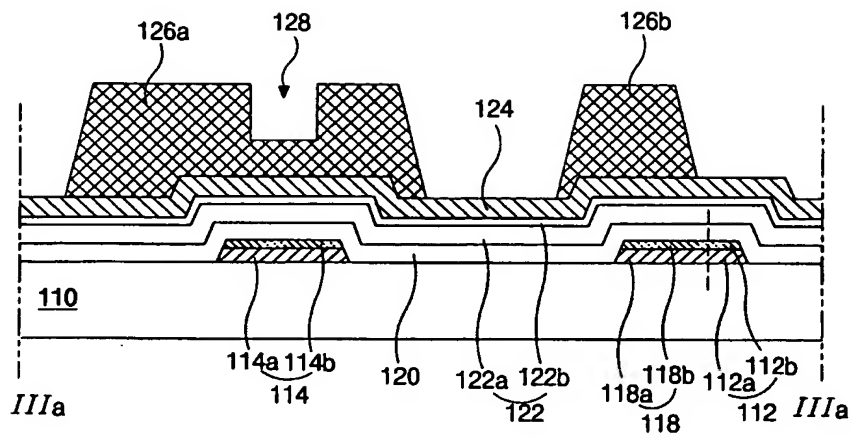
【도 6c】



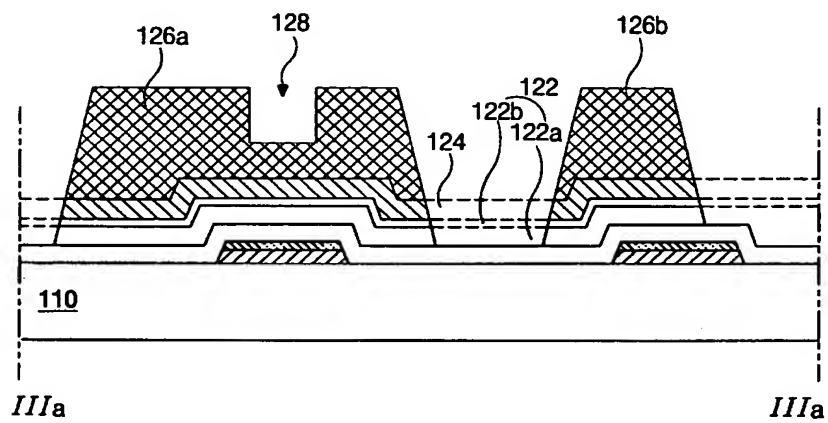
【도 7a】



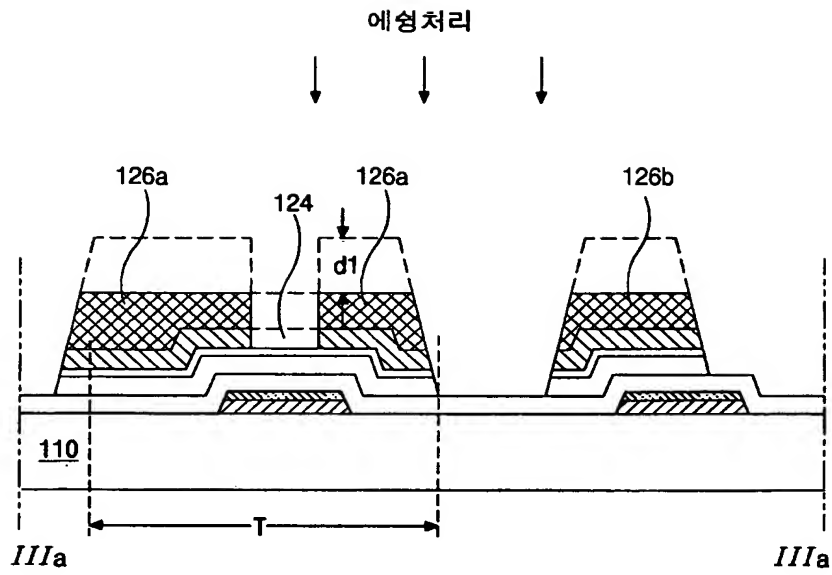
【도 7b】



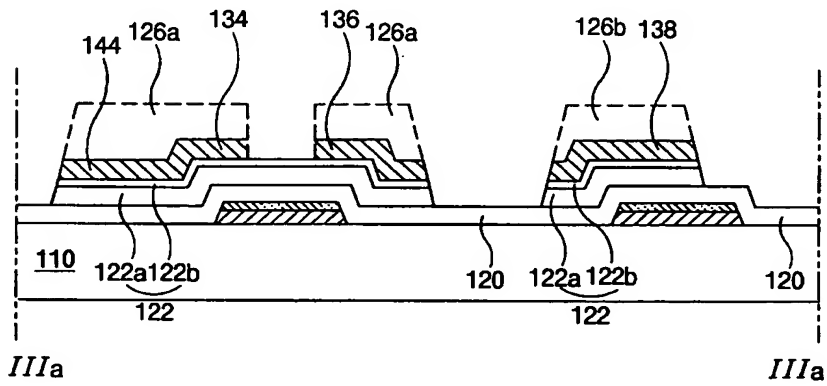
【도 7c】



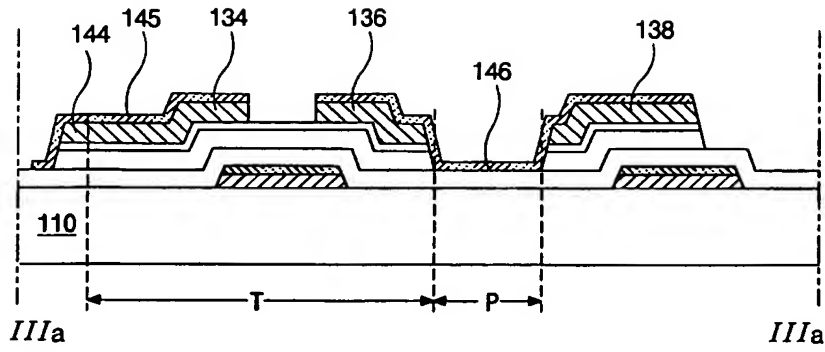
【도 7d】



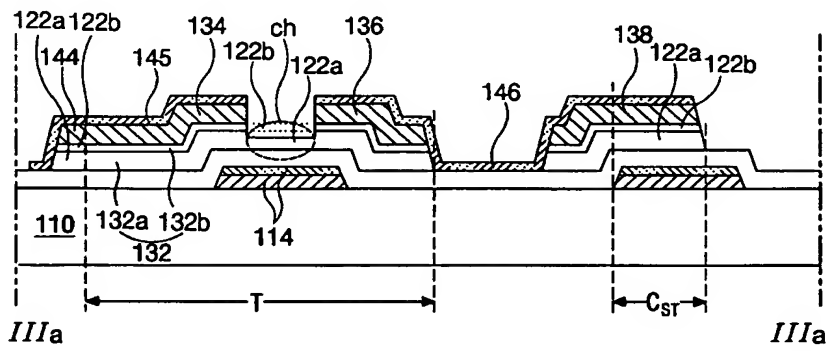
【도 7e】



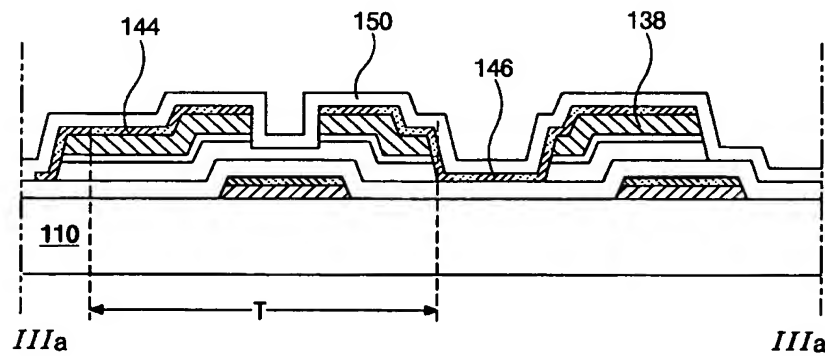
【도 7f】



【도 7g】



【도 7h】

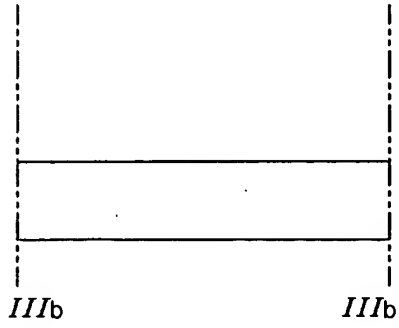




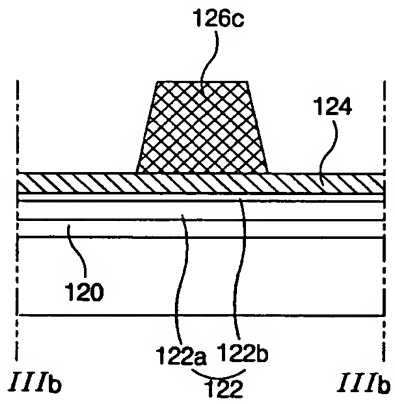
1020020087251

출력 일자: 2003/10/11

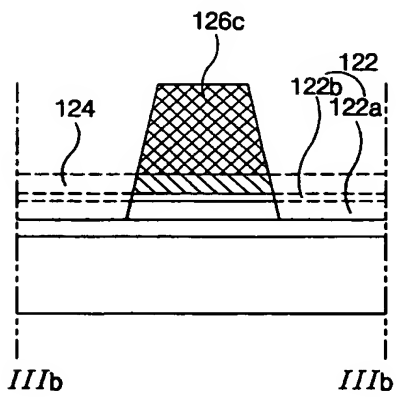
【도 8a】



【도 8b】

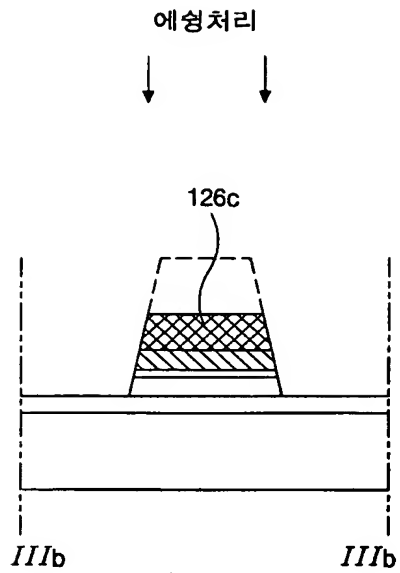


【도 8c】

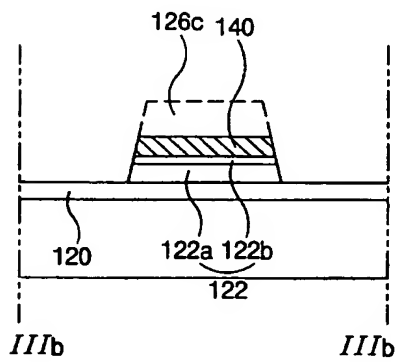




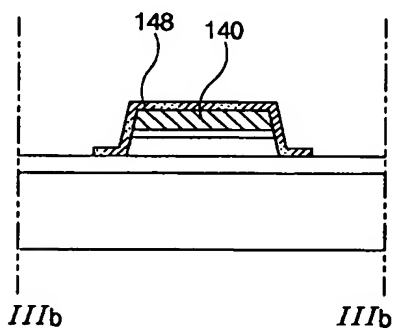
【도 8d】



【도 8e】

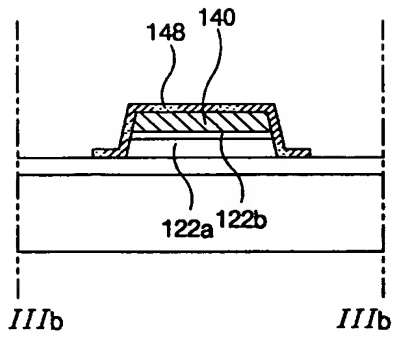


【도 8f】

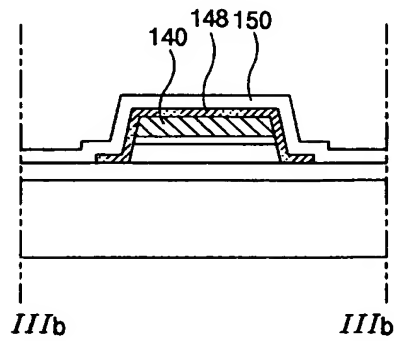




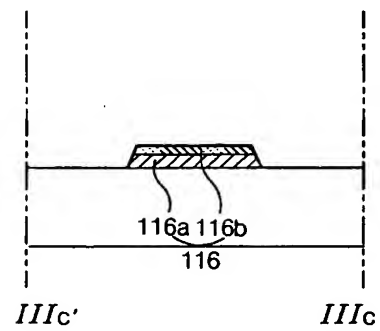
【도 8g】



【도 8h】

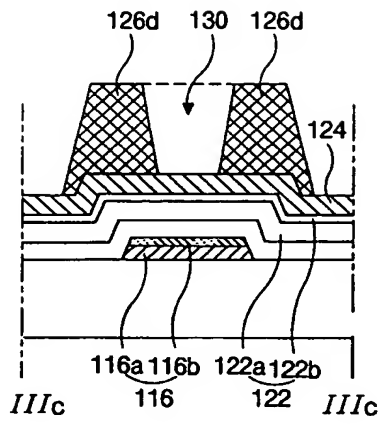


【도 9a】

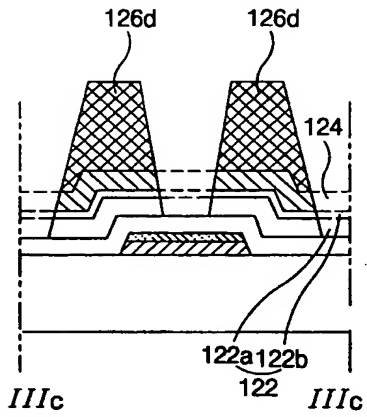




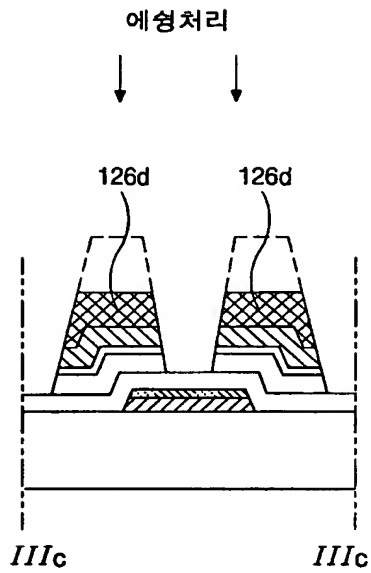
【도 9b】



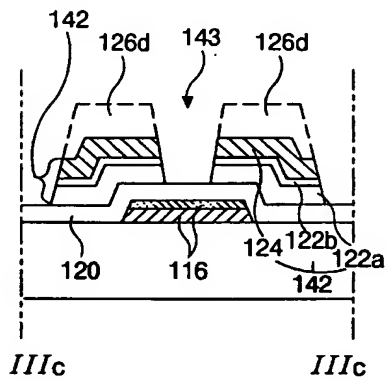
【도 9c】



【도 9d】

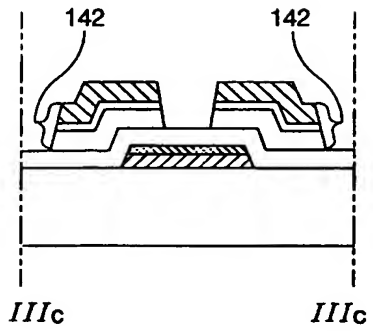


【도 9e】

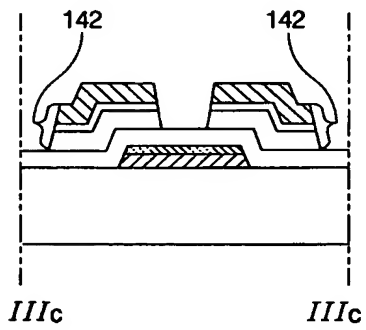




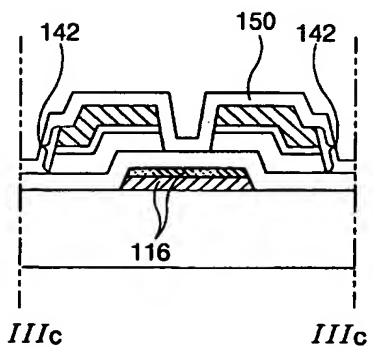
【도 9f】



【도 9g】

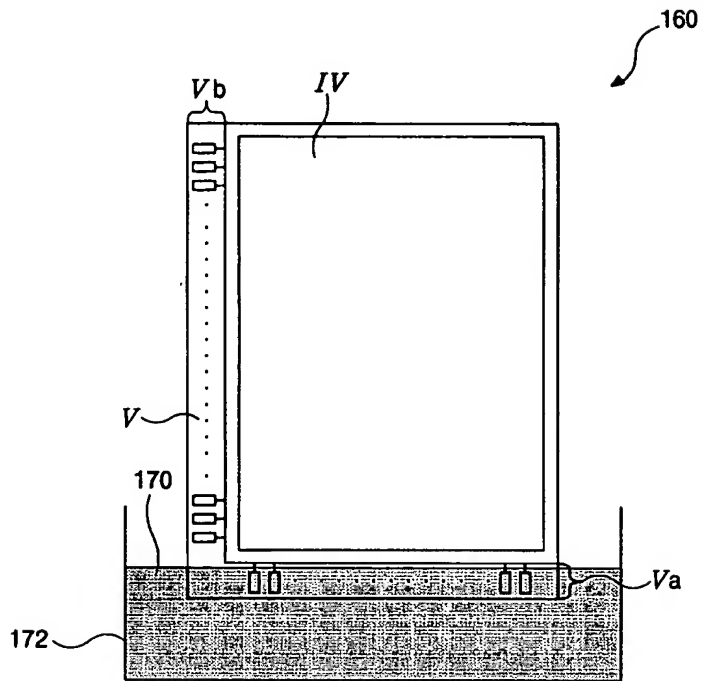


【도 9h】

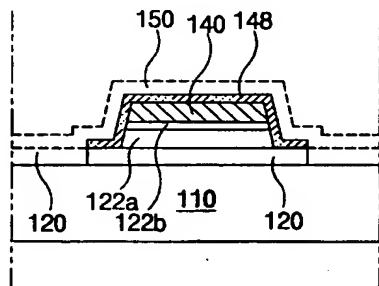




【도 10】

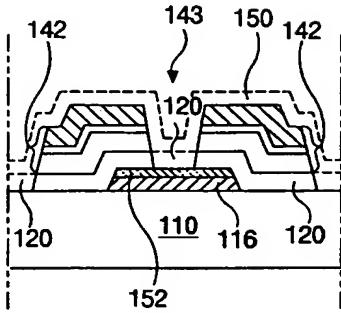


【도 11a】

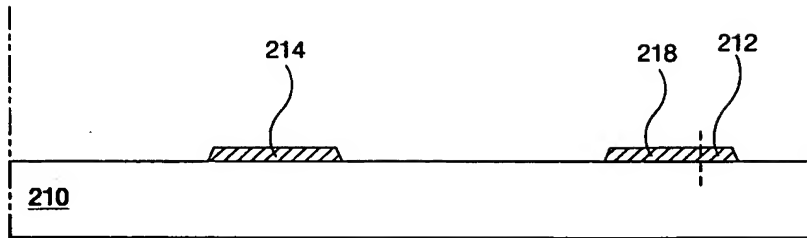




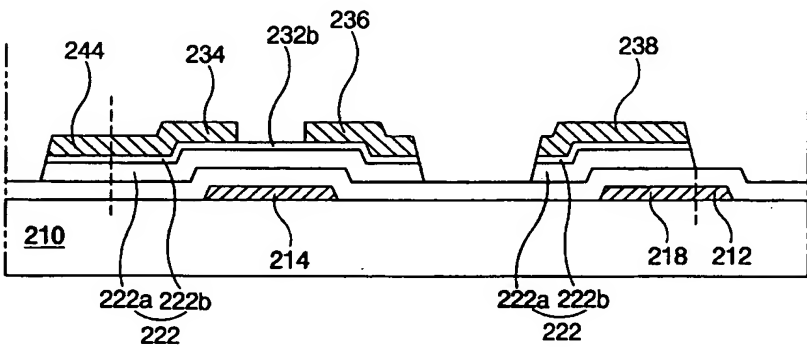
【도 11b】



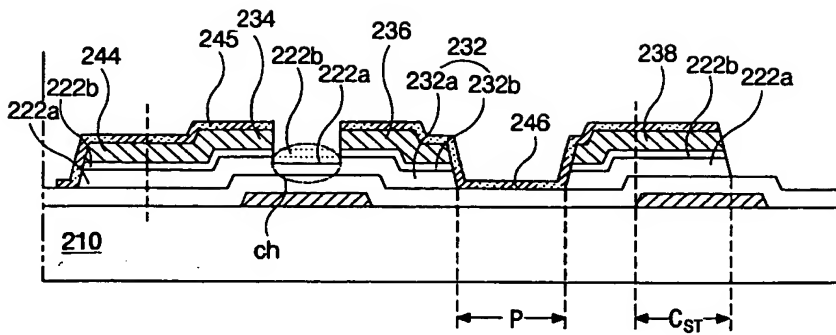
【도 12a】



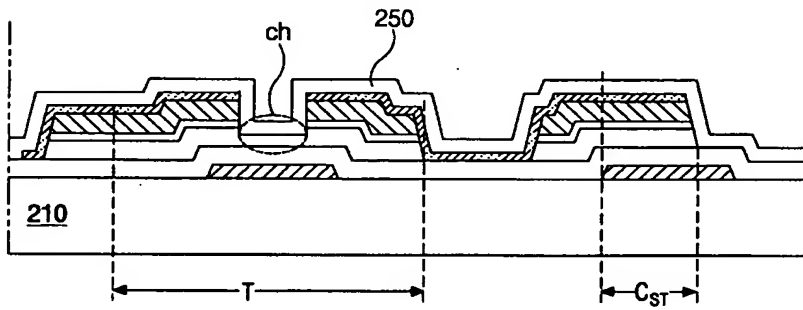
【도 12b】



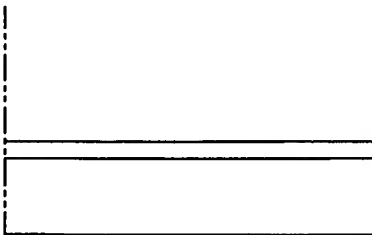
【도 12c】



【도 12d】

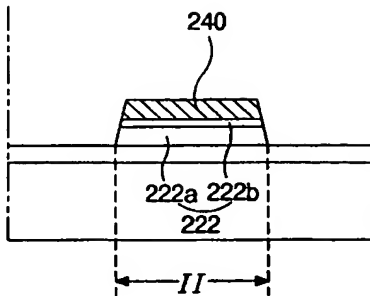


【도 13a】

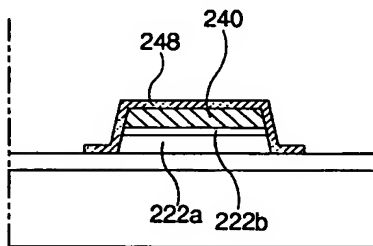




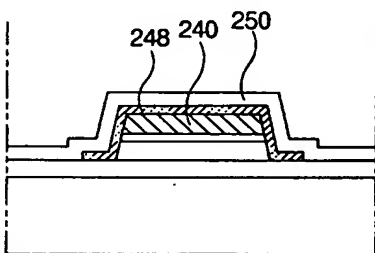
【도 13b】



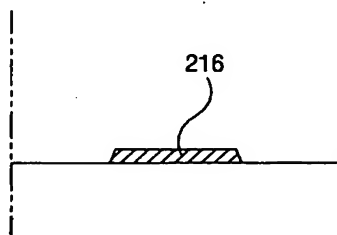
【도 13c】



【도 13d】

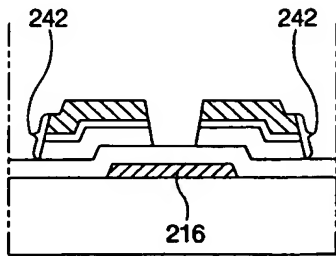


【도 14a】

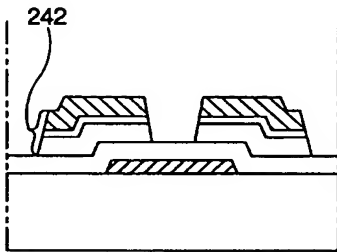




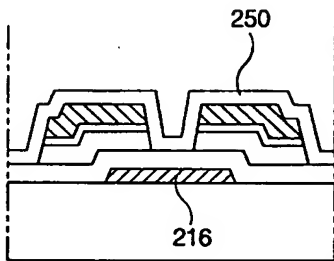
【도 14b】



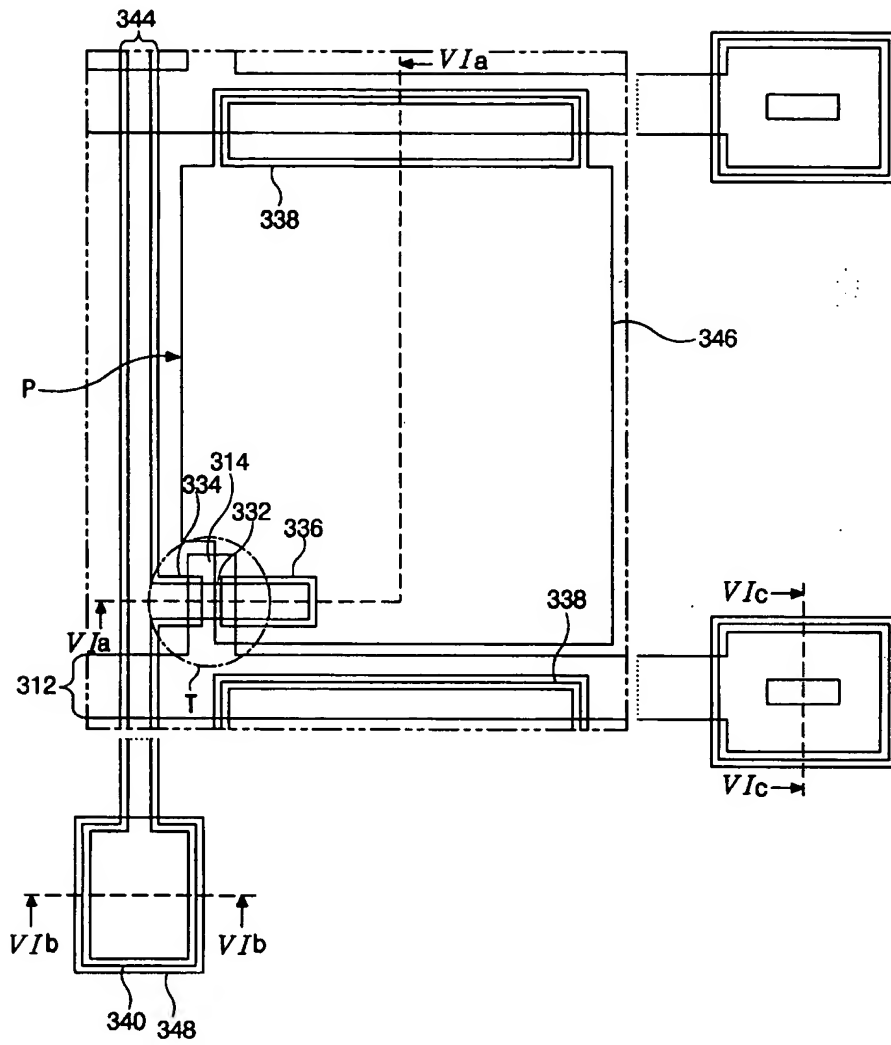
【도 14c】



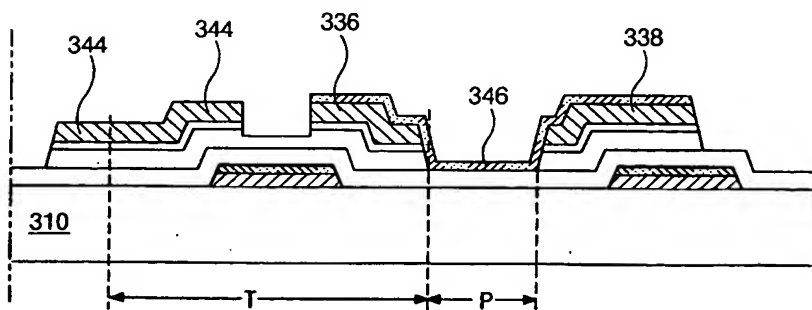
【도 14d】



【도 15】

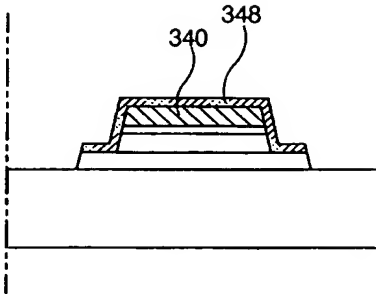


【도 16】

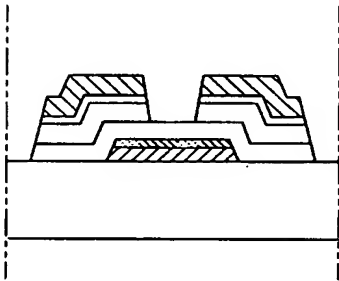




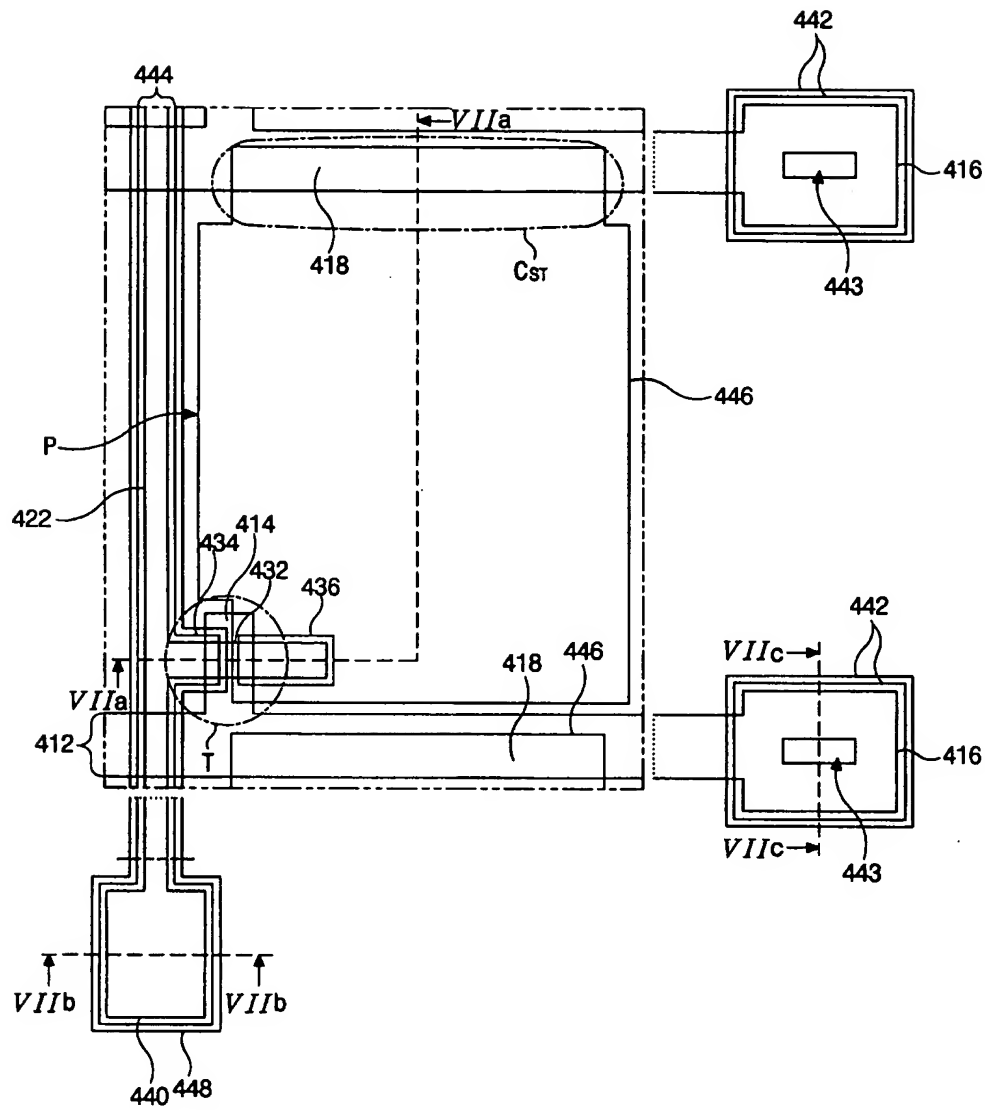
【도 17】



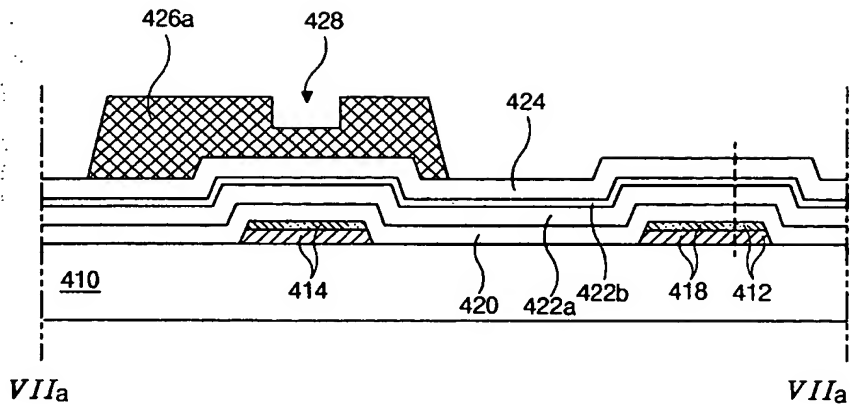
【도 18】



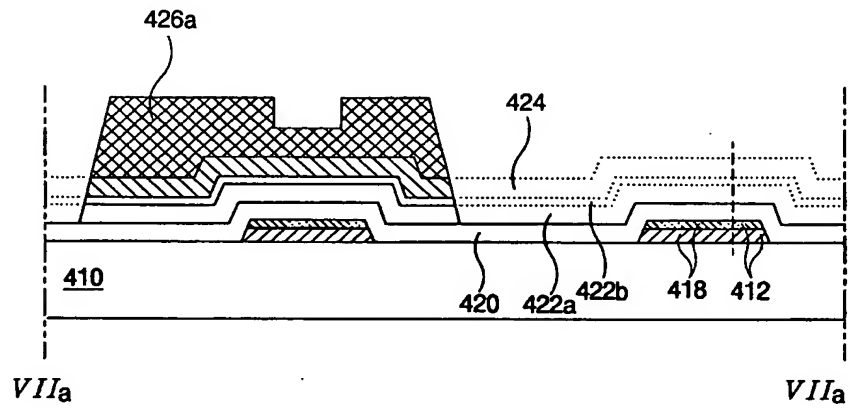
【도 19】



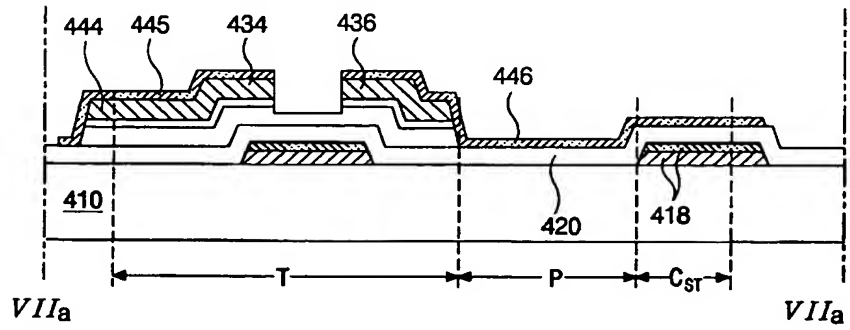
【도 20a】



【도 20b】

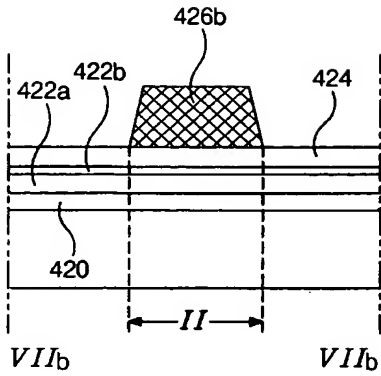


【도 20c】

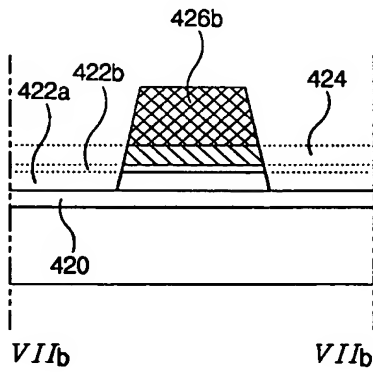




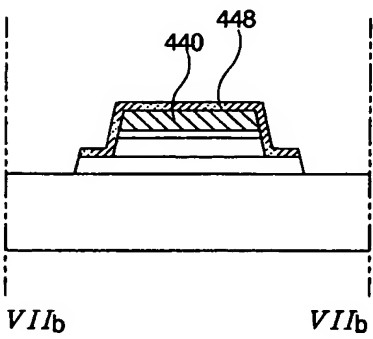
【도 21a】



【도 21b】

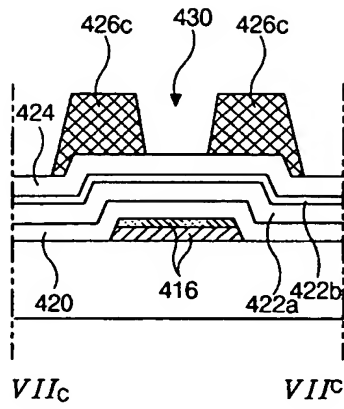


【도 21c】

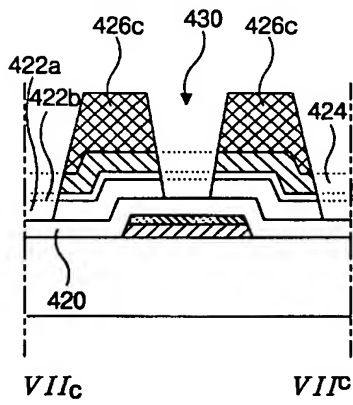




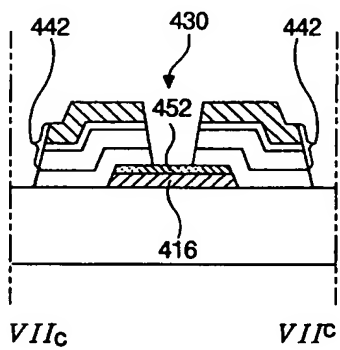
【도 22a】



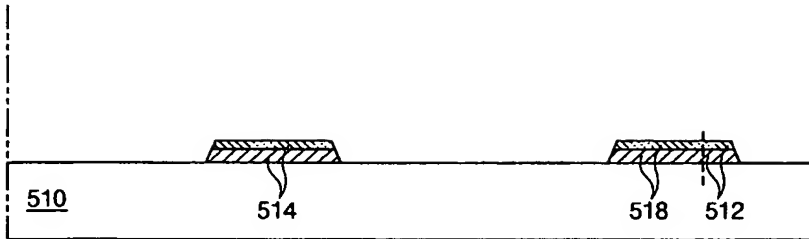
【도 22b】



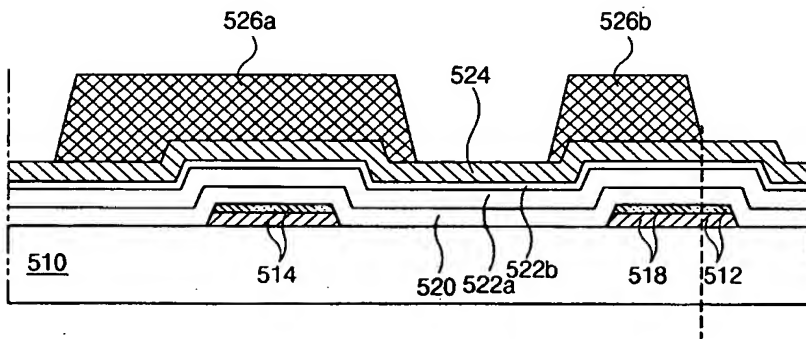
【도 22c】



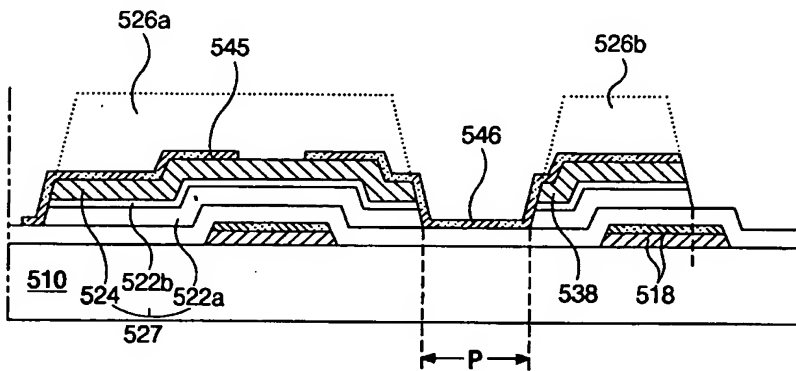
【도 23a】



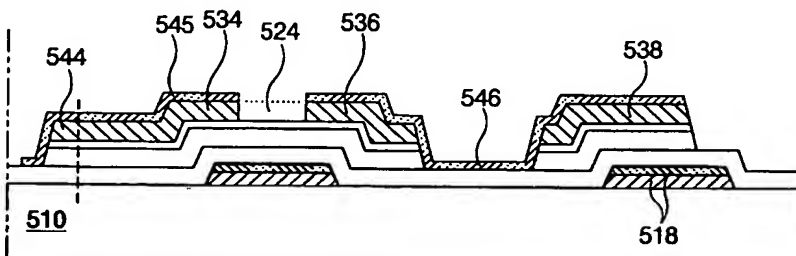
【도 23b】



【도 23c】

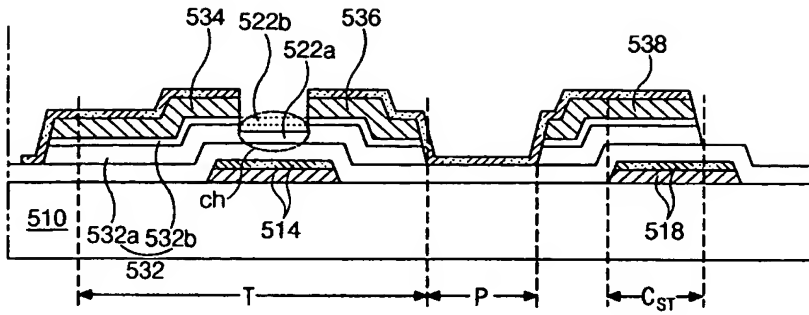


【도 23d】

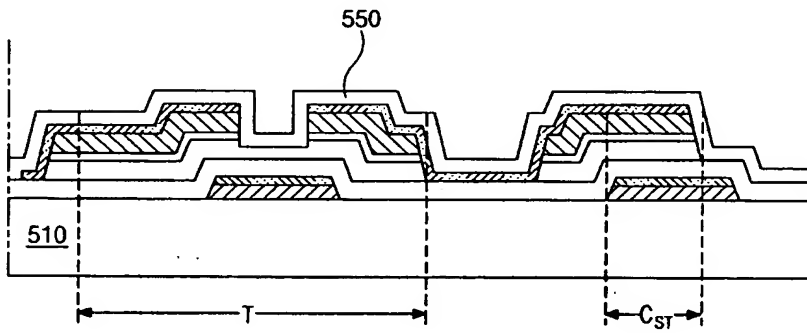




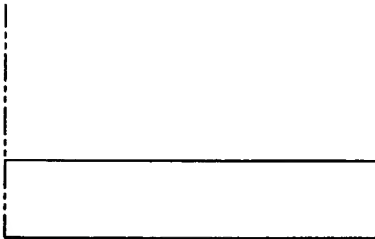
【도 23e】



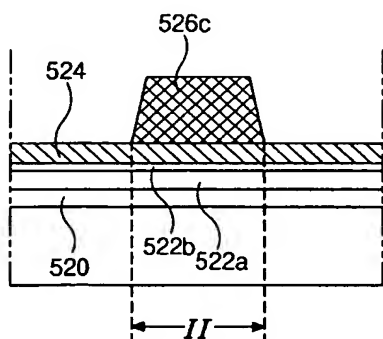
【도 23f】



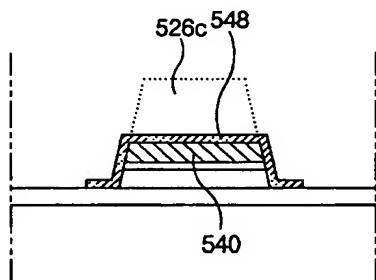
【도 24a】



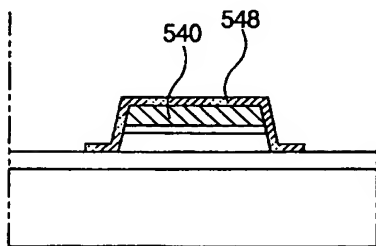
【도 24b】



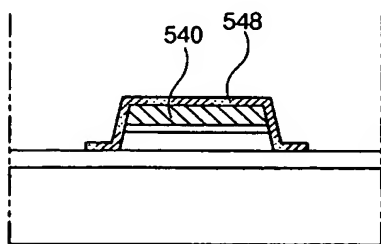
【도 24c】



【도 24d】

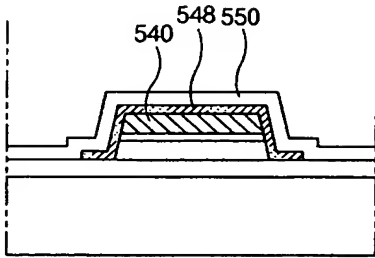


【도 24e】

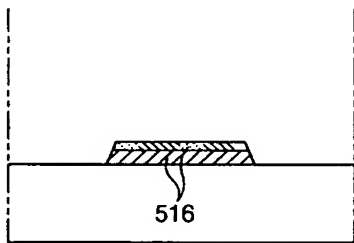




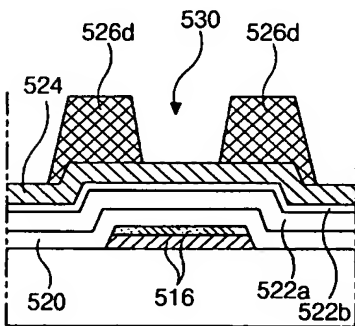
【도 24f】



【도 25a】

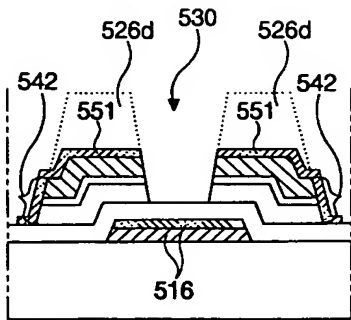


【도 25b】

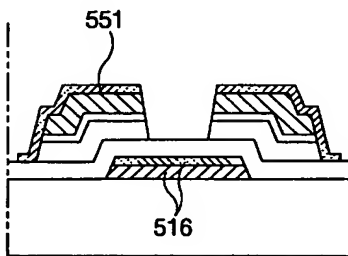




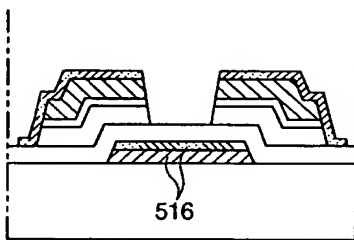
【도 25c】



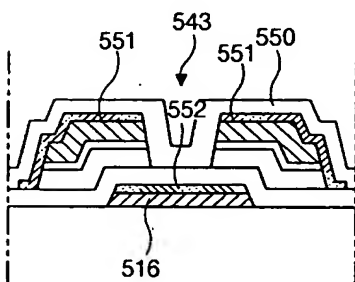
【도 25d】



【도 25e】

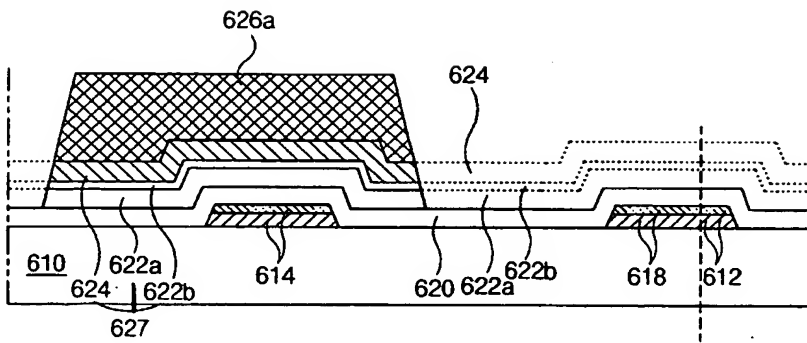


【도 25f】

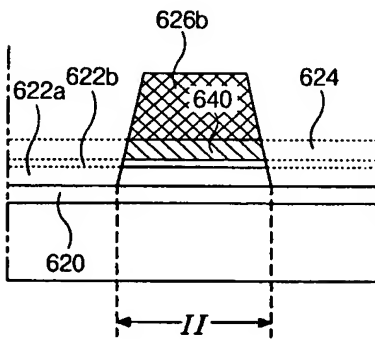




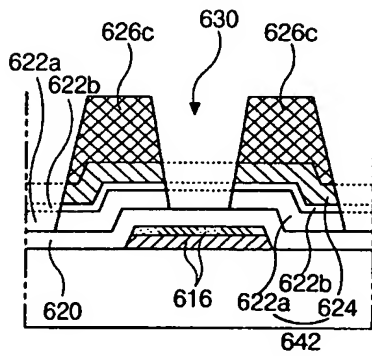
【도 26】



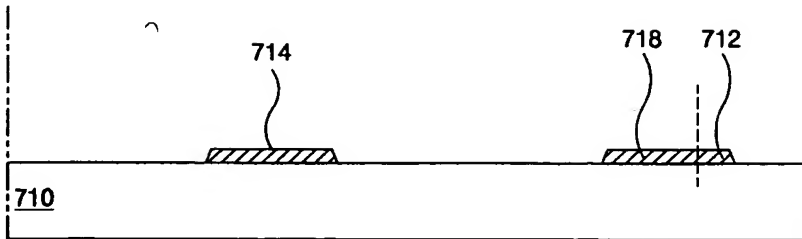
【도 27】



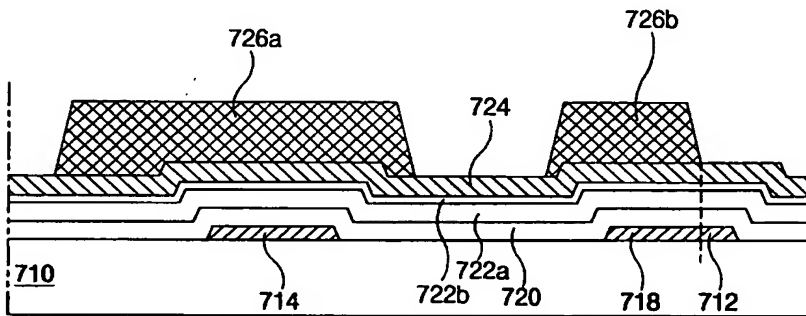
【도 28】



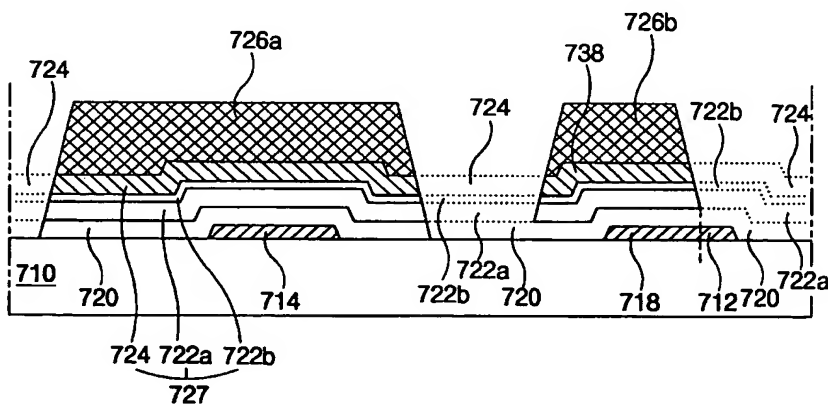
【도 29a】



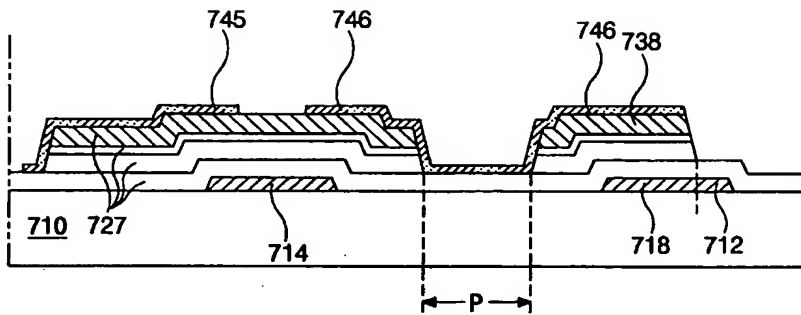
【도 29b】



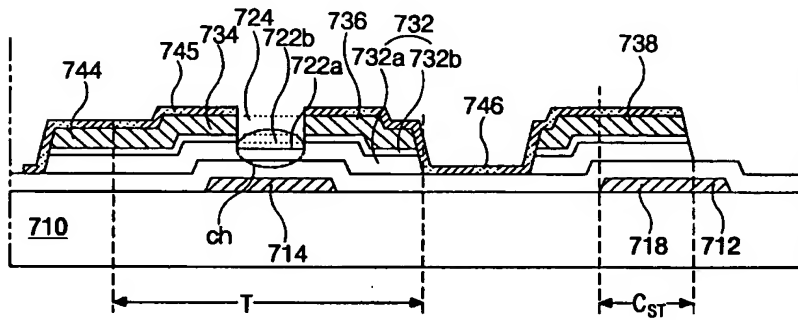
【도 29c】



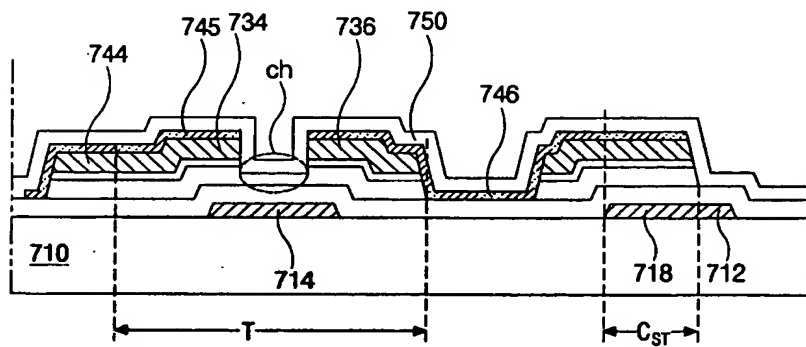
【도 29d】



【도 29e】

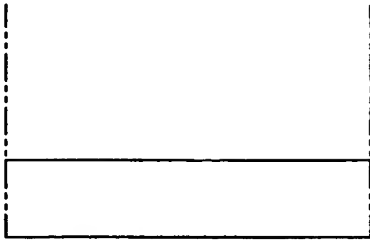


【도 29f】

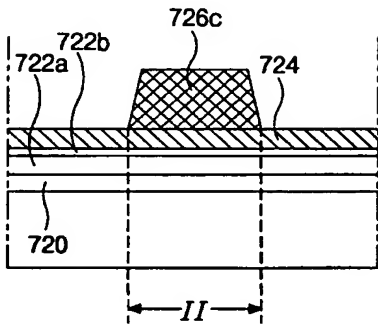




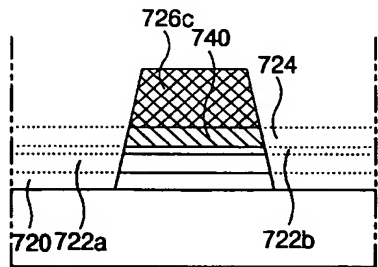
【도 30a】



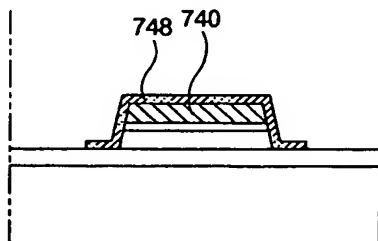
【도 30b】



【도 30c】

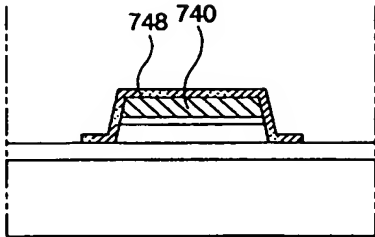


【도 30d】

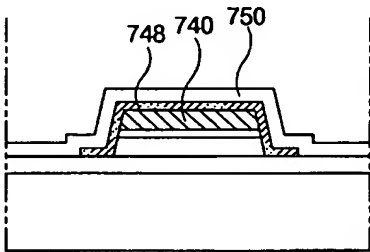




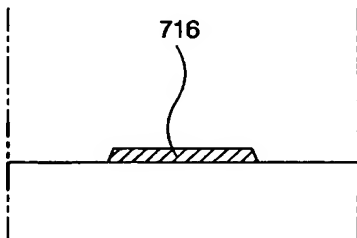
【도 30e】



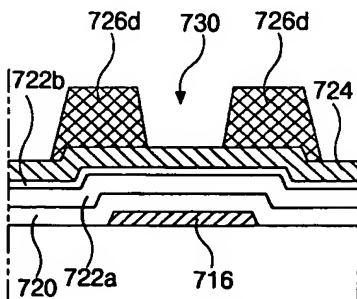
【도 30f】



【도 31a】

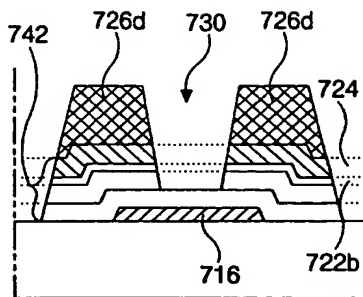


【도 31b】

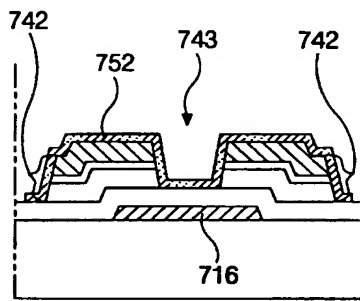




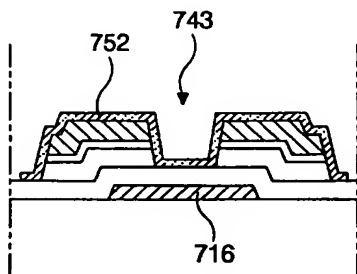
【도 31c】



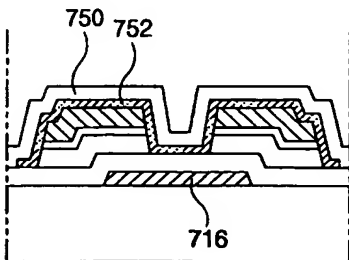
【도 31d】



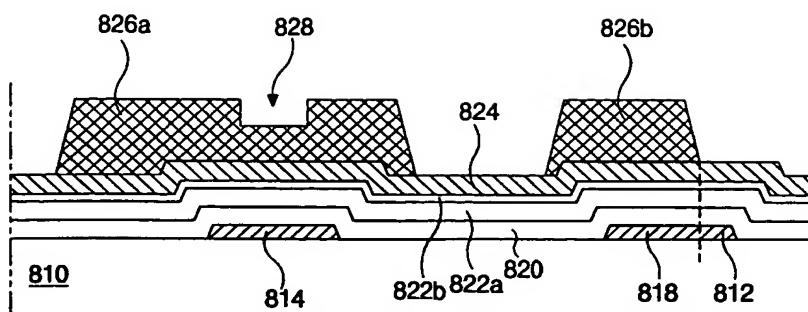
【도 31e】



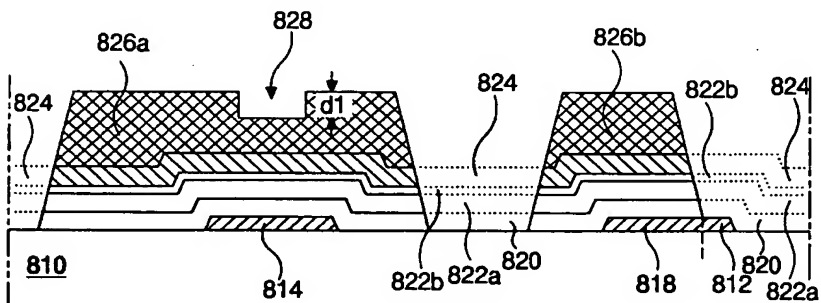
【도 31f】



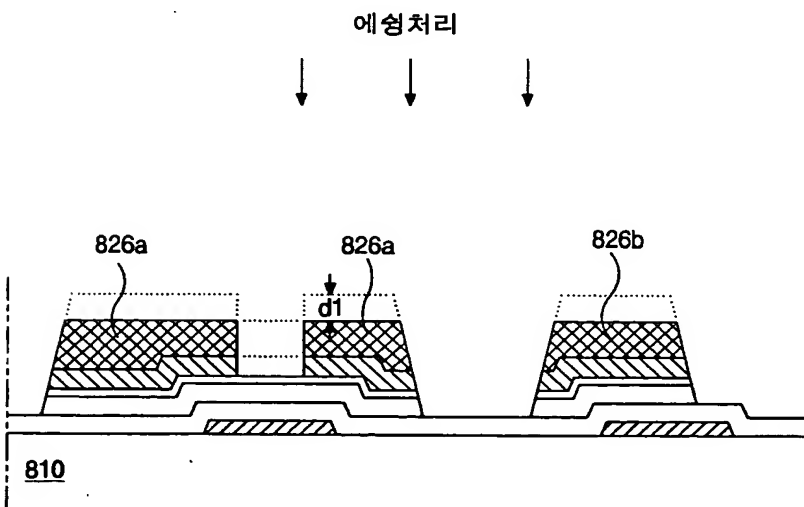
【도 32a】



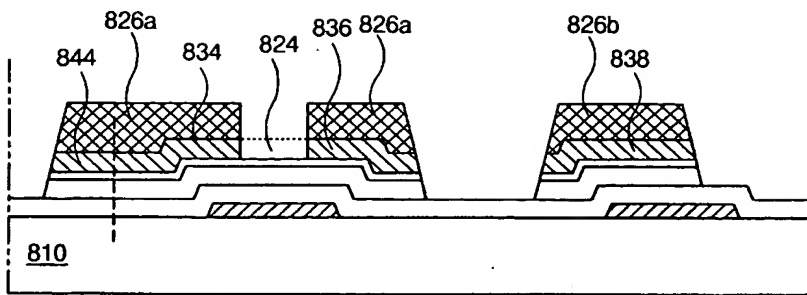
【도 32b】



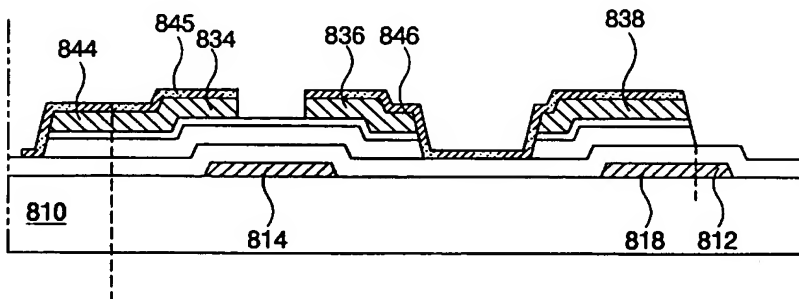
【도 32c】



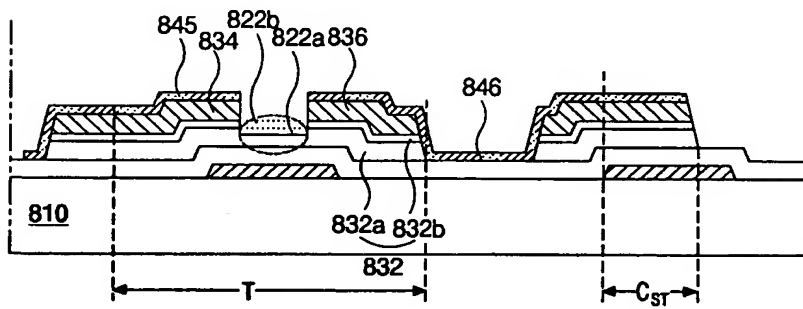
【도 32d】



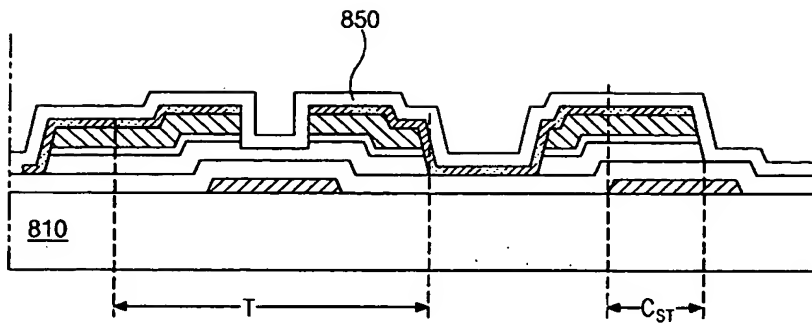
【도 32e】



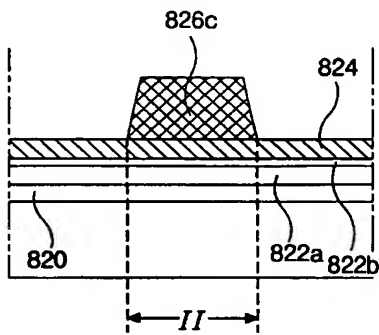
【도 32f】



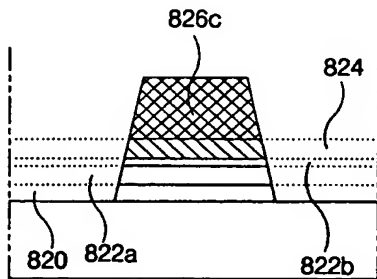
【도 32g】



【도 33a】

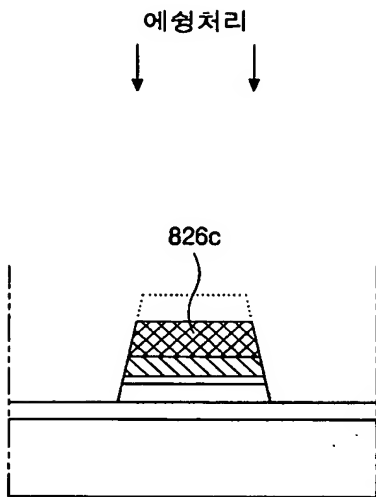


【도 33b】

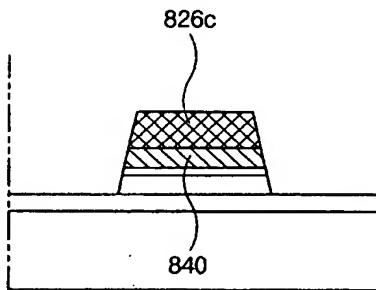




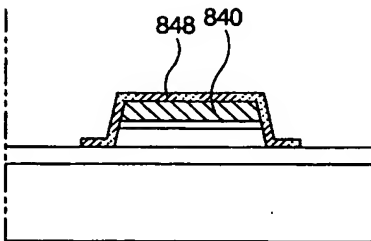
【도 33c】



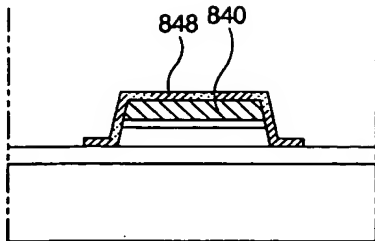
【도 33d】



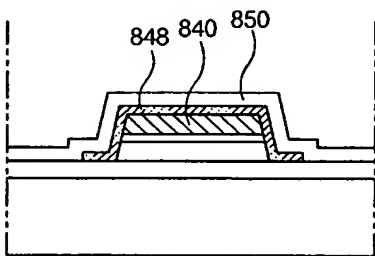
【도 33e】



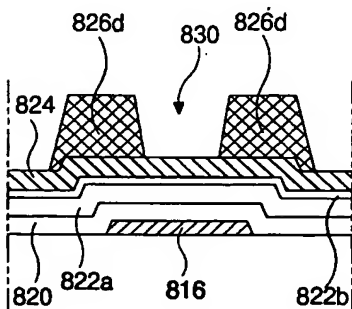
【도 33f】



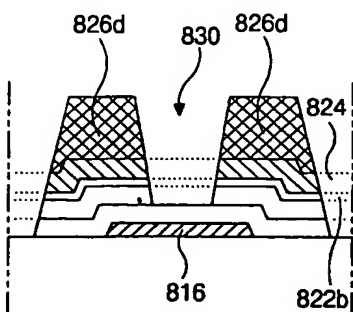
【도 33g】



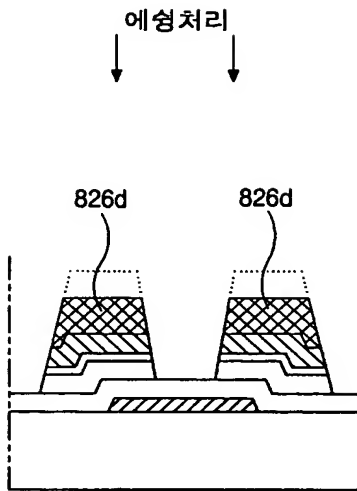
【도 34a】



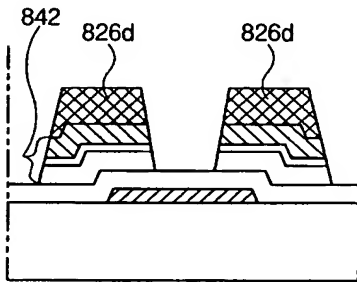
【도 34b】



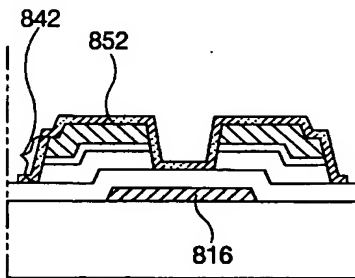
【도 34c】



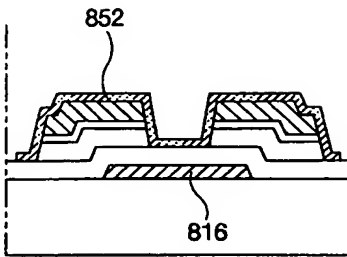
【도 34d】



【도 34e】



【도 34f】



【도 34g】

